

MICROSTRIP LINE AND MICROWAVE DEVICE USING THE SAME

Patent number: JP2001230606

Publication date: 2001-08-24

Inventor: KAMIMOTO RYUJI, KITAMURA KOICHI,
KIRIMURA KAZUYUKI, HIBINO YASUHIRO

Applicant: MATSUSHITA ELECTRIC INDUSTRIAL LTD.

Classification:

- International: H01P3/08, H01P5/107, H05K1/02, H01P3/08,
H01P5/10, H05K1/02, (IPC1-7) H01P3/08, H05K1/02

- European: H01P3/08, H01P5/107, H05K1/0204B

Application number: JP20000036134-20000215

Priority number(s): JP20000036134-20000215

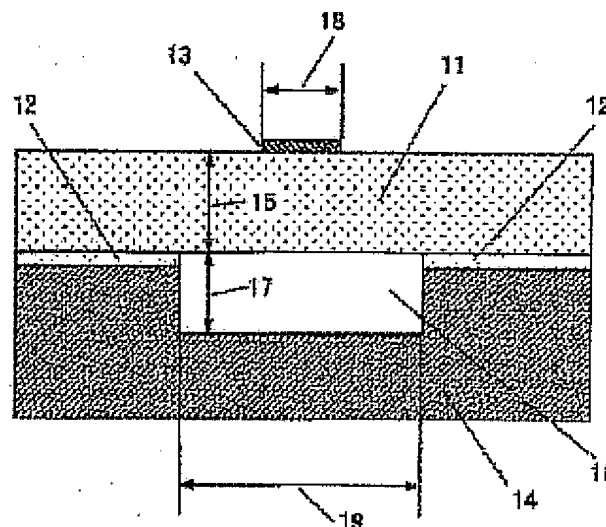
Also published as:

EP1126842 (A1)
US6445345 (B1)
CN1205693C (C)

Report a data error here

Abstract of JP2001230606

PROBLEM TO BE SOLVED: To provide a microstrip line with reduced loss, for a microwave device to be used for receiving satellite broadcasting or the like. **SOLUTION:** This device is provided with a printed circuit board 11, having a dielectric constant of 1 or larger, a strip line 13 laid on the surface of this printed circuit board 11 for guiding microwaves and an air layer 16 provided between the rear side of the printed circuit board 11 and a ground plane 14, and characteristic impedance is generated by combining the strip line 13, the printed circuit board 11, the air layer 16 and the ground plane 14. Thus, the loss of the strip line can be reduced.



- 11 プリント基板
- 12 グランドパターン
- 13 ストリップ線路
- 14 グランドプレーン
- 16 空気層

Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-230606

(P2001-230606A)

(43) 公開日 平成13年8月24日 (2001.8.24)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 P 3/08		H 0 1 P 3/08	5 E 3 3 8
H 0 5 K 1/02		H 0 5 K 1/02	C 5 J 0 1 4

審査請求 未請求 請求項の数11 O L (全 7 頁)

(21) 出願番号 特願2000-36134(P2000-36134)

(22) 出願日 平成12年2月15日 (2000.2.15)

(71) 出願人 000003821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 紙元 竜一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 北村 浩一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 10009/445

弁理士 岩橋 文雄 (外2名)

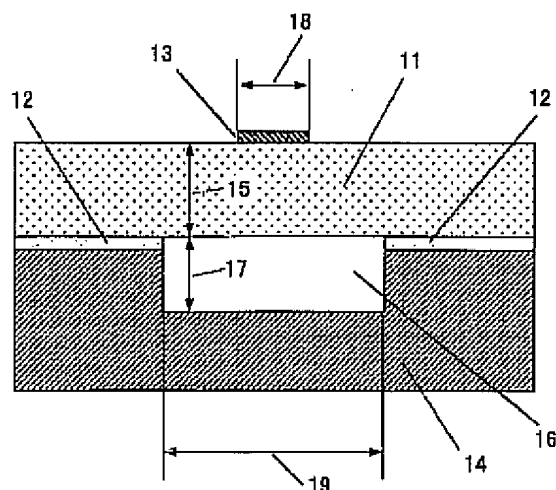
最終頁に続く

(54) 【発明の名称】 マイクロストリップ線路と、これを用いたマイクロ波装置

(57) 【要約】

【課題】 衛星放送などの受信に用いられるマイクロ波装置において、損失の少ないマイクロストリップ線路を提供する。

【解決手段】 比誘電率が1以上のプリント基板11と、このプリント基板11の表面上に敷設されるとともにマイクロ波を導くストリップ線路13と、プリント基板11の裏面側とグランドプレーン14との間に設けられた空気層16とを備え、ストリップ線路13とプリント基板11と空気層16とグランドプレーン14で特性インピーダンスを形成する構成としたものである。これによりストリップ線路の損失を少なくすることができる。



- 11 プリント基板
- 12 グランドパターン
- 13 ストリップ線路
- 14 グランドプレーン
- 16 空気層

【特許請求の範囲】

【請求項1】 比誘電率が1以上のプリント基板と、このプリント基板の表面上に敷設されるとともにマイクロ波を導くストリップ線路と、前記プリント基板の裏面側とグラウンドプレーンとの間に設けられた空気層とを備え、前記ストリップ線路と前記プリント基板と前記空気層と前記グラウンドプレーンで特性インピーダンスを形成するマイクロストリップ線路。

【請求項2】 プリント基板は両面基板を用いるとともに裏面側をグラウンドパターンとし、空気層に対応する部分は前記グラウンドパターンを不形成とした請求項1記載のマイクロストリップ線路。

【請求項3】 グラウンドプレーンはアルミニウム板を用いるとともに空気層はプレス加工で形成された請求項1記載のマイクロストリップ線路。

【請求項4】 プリント基板の比誘電率を略4とした請求項1記載のマイクロストリップ線路。

【請求項5】 プリント基板と空気層から形成される合成の比誘電率を略2とした請求項1記載のマイクロストリップ線路。

【請求項6】 プリント基板にはガラスエポキシ基板を用いた請求項1記載のマイクロストリップ線路。

【請求項7】 ストリップ線路の下方に設けられた空気層の幅を前記ストリップ線路の略3倍とした請求項1記載のマイクロストリップ線路。

【請求項8】 空気層の厚さを略0.3mmとした請求項1記載のマイクロストリップ線路。

【請求項9】 マイクロ波が入力される入力端子と、この入力端子に接続された請求項1記載のマイクロストリップ線路と、このマイクロストリップ線路の出力に接続されるとともにパターンで形成された整合回路と、この整合回路の出力に接続された低雑音増幅器と、この低雑音増幅器の出力が供給される出力端子を備え、前記マイクロストリップ線路および前記整合回路とグラウンドプレーンとの間には空気層が設けられ、この空気層に対応する部分は裏面側のグラウンドパターンを不形成としたマイクロ波装置。

【請求項10】 マイクロ波が入力される導波管と、この導波管内に突出したアンテナ給電パターンと、このアンテナ給電パターンに接続された請求項1記載のマイクロストリップ線路と、このマイクロストリップ線路の出力に接続されるとともにパターンで形成された整合回路と、この整合回路の出力に接続された低雑音増幅器と、この低雑音増幅器の出力が供給される出力端子を備え、前記マイクロストリップ線路および前記整合回路とグラウンドプレーンとの間には空気層が設けられ、この空気層に対応する部分は裏面側のグラウンドパターンを不形成としたマイクロ波装置。

【請求項11】 それぞれ独立するとともに略直角関係にあるアンテナ給電パターンが円形の導波管内に突出し

た請求項10記載のマイクロ波装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、衛星放送などの受信に用いられるマイクロストリップ線路と、これを用いたマイクロ波装置に関するものである。

【0002】

【従来の技術】以下、従来のマイクロストリップ線路について説明する。従来のマイクロストリップ線路は、図5に示すように、裏面にグラウンドパターン1が設けられたプリント基板2と、このプリント基板2の上面に設けられたストリップ線路3とで構成されていた。そして、このストリップ線路3の性能を安定させるためにアルミニウムで形成されたグラウンドプレーン4をグラウンドパターン1の下に密着して設けていた。また、ストリップ線路3の幅5は、プリント基板2の比誘電率と板厚および特性インピーダンスと周波数によって、その幅が設定されるものであった。

【0003】

【発明が解決しようとする課題】しかしながら、このような従来の構成では、ストリップ線路3の損失を少なくするためにプリント基板2の比誘電率を小さくする必要があった。プリント基板2の比誘電率が小さいものとして、たとえばテフロン基板などが用いられていたが、このテフロン基板は高価であるため装置全体が非常に高価なものになっていた。そこで、たとえば低価格のガラスエポキシ基板を使うということも考えられるが、この場合ガラスエポキシ基板を用いるとガラスエポキシ基板の比誘電率が高いため、ストリップ線路3の幅5を狭くしなければならず、結果として損失が大きくなるという問題を有していた。

【0004】本発明は、このような問題点を解決するもので、損失の少ないマイクロストリップ線路を提供することを目的としたものである。

【0005】

【課題を解決するための手段】この目的を達成するために、本発明のマイクロストリップ線路は、比誘電率が1以上のプリント基板と、このプリント基板の表面上に敷設されるとともにマイクロ波を導くストリップ線路と、前記プリント基板の裏面側とグラウンドプレーンとの間に設けられた空気層とを備え、前記ストリップ線路と前記プリント基板と前記空気層と前記グラウンドプレーンで特性インピーダンスを形成する構成としたものである。

【0006】これにより、マイクロストリップ線路の損失を少なくすることができる。

【0007】

【発明の実施の形態】本発明の請求項1に記載の発明は、比誘電率が1以上のプリント基板と、このプリント基板の表面上に敷設されるとともにマイクロ波を導くストリップ線路と、前記プリント基板の裏面側とグラウンド

プレーンとの間に設けられた空気層とを備え、前記ストリップ線路と前記プリント基板と前記空気層と前記グラウンドプレーンで特性インピーダンスを形成するマイクロストリップ線路であり、このようにプリント基板の裏面側とグラウンドプレーンとの間に空気層を設けているので合成される比誘電率を小さくすることができ、マイクロストリップ線路の損失を少なくすることができる。

【0008】請求項2に記載の発明のプリント基板は、両面基板を用いるとともに裏面側をグラウンドパターンとし、空気層に対応する部分は前記グラウンドパターンを不形成とした請求項1記載のマイクロストリップ線路であり、このようにプリント基板の特定の部分のみ空気層を設けることにより、その部分に形成されるマイクロストリップ線路の損失を少なくすることができる。

【0009】請求項3に記載の発明のグラウンドプレーンは、アルミニウム板を用いるとともに空気層はプレス加工で形成された請求項1記載のマイクロストリップ線路であり、このようにグラウンドプレーンにアルミニウム板を用いているので、低価格のマイクロストリップ線路が実現できる。また、空気層の加工にはプレス加工を用いることができるので、加工費も低価格が実現できる。さらに、プレス加工で空気層を任意の深さに加工できるので、合成される比誘電率が任意に設定でき、マイクロストリップ線路の損失を小さくすることができる。

【0010】請求項4に記載の発明は、プリント基板の比誘電率を略4とした請求項1記載のマイクロストリップ線路であり、比誘電率が略4の材質のプリント基板を用いることによりローコストのプリント基板を使用することができるので、低価格のマイクロストリップ線路を実現することができる。

【0011】請求項5に記載の発明は、プリント基板と空気層から形成される合成の比誘電率を略2とした請求項1記載のマイクロストリップ線路であり、合成の比誘電率を略2とすることにより比誘電率が小さくなっているので、損失の少ないマイクロストリップ線路が形成できる。

【0012】請求項6に記載の発明は、プリント基板にはガラスエポキシ基板を用いた請求項1記載のマイクロストリップ線路であり、材質としてガラスエポキシを用いているので加工が容易であるとともに低価格なマイクロストリップ線路を実現することができる。

【0013】請求項7に記載の発明は、ストリップ線路の下方に設けられた空気層の幅を前記ストリップ線路の略3倍とした請求項1記載のマイクロストリップ線路であり、空気層の幅を略3倍にすることによりマイクロストリップ線路として十分な性能を得るとともに、この空気層以外の部分においては比誘電率が高いのでマイクロストリップ線路の幅を細くすることもでき、結果として性能が良くかつ実装面積の少ない小型化されたマイクロストリップ線路を得ることができる。

【0014】請求項8に記載の発明は、空気層の厚さを略0.3mmとした請求項1記載のマイクロストリップ線路であり、空気層の厚さを略0.3mmにすることによりマイクロストリップ線路の幅を、たとえば12GHzにおいては略2.6mmにすることができ損失の少ないマイクロストリップ線路を得ることができる。

【0015】請求項9に記載の発明は、マイクロ波が入力される入力端子と、この入力端子に接続された請求項1に記載のマイクロストリップ線路と、このマイクロストリップ線路の出力に接続されるとともにパターンで形成された整合回路と、この整合回路の出力に接続された低雑音増幅器と、この低雑音増幅器の出力が供給される出力端子を備え、前記マイクロストリップ線路および前記整合回路とグラウンドプレーンとの間には空気層が設けられ、この空気層に対応する部分は裏面側のグラウンドパターンを不形成としたマイクロ波装置であり、このようにマイクロ波装置の入力に本発明のマイクロストリップ線路を用いているので、入力における損失が少なくなり、結果としてマイクロ波装置全体の損失を少なくすることができる。また、整合回路も損失を少なくしているので、さらに入力における損失が少なくなる。

【0016】請求項10に記載の発明は、マイクロ波が入力される導波管と、この導波管内に突出したアンテナ給電パターンと、このアンテナ給電パターンに接続された請求項1記載のマイクロストリップ線路と、このマイクロストリップ線路の出力に接続されるとともにパターンで形成された整合回路と、この整合回路の出力に接続された低雑音増幅器と、この低雑音増幅器の出力が供給される出力端子を備え、前記マイクロストリップ線路および前記整合回路とグラウンドプレーンとの間には空気層が設けられ、この空気層に対応する部分は裏面側のグラウンドパターンを不形成としたマイクロ波装置であり、このようにマイクロ波装置の入力に本発明のマイクロストリップ線路を使用しているので損失の少ないマイクロ波装置を得ることができる。またこのアンテナ給電パターンに接続されたマイクロストリップ線路と、このマイクロストリップ線路の出力に接続されるとともにパターンで形成された整合回路もその裏面側に空気層が設けられているので損失の少ない整合回路を得ることができ、全体として損失の少ないマイクロ波装置を得ることができる。

【0017】請求項11に記載の発明は、それぞれ独立するとともに略直角関係にあるアンテナ給電パターンが円形の導波管内に突出した請求項10に記載のマイクロ波装置でありアンテナ給電パターンを略直角に設けているので異なる2つ偏波を受信することができる。

【0018】以下、本発明の実施の形態について、図面を用いて説明する。

【0019】(実施の形態1)図1は、本発明の実施の形態1におけるマイクロストリップ線路の断面図であ

る。図1において、11はプリント基板であり、このプリント基板11の裏面にはグラウンドパターン12が設けられている。そして、このプリント基板11の上面にはストリップ線路13が敷設されている。また、グラウンドパターン12の下方にはグラウンドプレーン14が密着して設けられている。このグラウンドプレーン14の材質にはアルミニウムを用いている。ここで、プリント基板11には比誘電率は略4.0のガラスエポキシ基板を用いている。また、その厚さ15は略0.5mmを用いている。

【0020】またこのストリップ線路13に対応するグラウンドパターン12とグラウンドプレーン14の部位に空気層16を設けており、この空気層16の深さ17は略0.3mmになっている。この場合、略0.3mmの空気層16を用いることによりプリント基板11と空気層16の合成比誘電率としては略2となる。従って、ストリップ線路13の幅18は略2.6mmとなり損失は小さくなる。また、空気層16の幅19はストリップ線路13の幅18の略3倍にしている。

【0021】こうすることにより、ストリップ線路13としての性能を略満足することができる。またこのようにしているので、たとえば損失にあまり関係しない部分においては空気層16を形成する必要がなくストリップ線路13の幅18を狭くすることができ、全体として小型化にすることができる。

【0022】空気層16が無い場合は、ストリップ線路13の幅18は略0.94mmとなり損失が大きくなる。しかしながら、このような空気層16を設けることにより比誘電率が、たとえ高いものであったとしても略テフロン基板と同程度の性能を実現することができる。

【0023】(実施の形態2) 図2(a)、(b)は、実施の形態2におけるマイクロ波装置の平面図と断面図である。図2(a)、(b)において、21は入力端子であり、この入力端子21にはプリント基板22に設けられたストリップ線路23が接続されている。このストリップ線路23の一方からは結合コンデンサ24を介して整合回路25に接続されている。この整合回路25の出力はGaAsFET26に接続される。このGaAsFET26の出力は整合回路27に接続され、結合コンデンサ28を介して整合回路29に接続されている。整合回路29の出力はGaAsFET30に接続され、このGaAsFET30の出力は整合回路31に接続される。この整合回路31の出力は、結合コンデンサ32を介して出力端子33に接続されている。

【0024】ここで、GaAsFET26から結合コンデンサ32までは低雑音増幅回路34である。

【0025】また、図2(b)はマイクロ波装置の断面図を示している。図2(b)において、22はプリント基板であり、このプリント基板の下方にはグラウンドパターン35が密着して設けられており、このグラウンドパタ

ーン35の下方にはアルミニウムで形成された厚さが略1.5mmのグラウンドプレート36が密着して装着されている。

【0026】ここに示すように、入力におけるストリップ線路23と整合回路25に対応する下面には空気層37を設けており、これに対応する部分の前記グラウンドパターン35とグラウンドプレート36は不形成としている。また、この空気層37の深さは略0.3mmとしている。プリント基板22は、厚さは略0.5mmのガラスエポキシ基板を用いているので合成された比誘電率としては略2となっており、本マイクロ波装置に入力される略12GHzの間波数に対しては損失の少ない構成となっている。また、プリント基板22にはガラスエポキシ基板を用いているのでローコストでもある。

【0027】(実施の形態3) 図3(a)、(b)は、実施の形態3におけるマイクロ波装置の要部平面図と要部断面図である。図3(a)、(b)において、41は導波管であり、この導波管41内にはアンテナ給電パターン42が突出している。そしてこのアンテナ給電パターン42の他方側にはストリップ線路43を介して整合回路44が接続されている。そしてこの整合回路44の出力はGaAsFET45を介して整合回路46に接続されている。これ以降については、たとえば実施の形態2で示したように低雑音増幅回路が形成されて、その出力には出力端子が接続されているものである。

【0028】また図3(b)はその断面図を示している。図3(b)において、47はプリント基板であり、このプリント基板47の下面にはグラウンドパターン48が密着して設けられており、その下方にはグラウンドプレーン49がアルミニウムで形成されている。このグラウンドプレーン49と一体に導波管41もアルミニウムで形成されている。

【0029】この場合においても実施の形態1と同様、プリント基板47の厚みは略0.5mmでありガラスエポキシ基板を使用している。また、グラウンドプレーン49は厚み略1.5mmのアルミニウム板を使用している。そして、ストリップ線路43と整合回路44に対応するその下方には空気層50をプレス加工で形成している。このプレス加工で形成する空気層の深さは略0.3mmである。従って、この場合もアンテナ給電パターン42に入力される略12GHzの間波数に対しては、合成される比誘電率が略2となるのでこのストリップ線路の幅は略2.6mmとなる。

【0030】このようにストリップ線路43と整合回路44の下方には空気層50を設けているので合成される比誘電率を小さくすることができ、入力の損失を小さくすることができる。その結果として、このマイクロ波装置全体としての損失が小さくなる。また、この空気層50はプレス加工しているので、ローコストに形成されるとともに、この押圧によって任意の比誘電率を形成する

ことができる。

【0031】なお、このグランドプレーンにはアルミニウムダイカストを用いた構成にすることもでき、実施の形態2同様に入力損失を小さくすることができる。この場合も空気層の深さを適宜設定することによって任意の比誘電率を形成することができる。

【0032】(実施の形態4) 図4(a)、(b)は、実施の形態4におけるマイクロ波装置の要部平面図と要部断面図である。実施の形態4では、実施の形態3で示したように51の導波管内に突出したアンテナ給電パターン52と53がそれぞれ略90度の角度54で設けられており、その各々のアンテナ給電パターンの他方にはそれぞれ独立したストリップ線路55と58が接続されている。アンテナ給電パターン52の他方にはストリップ線路55と整合回路56とがこの順に接続されており、この整合回路56の出力には実施の形態3で説明したように低雑音増幅回路57と、これに接続される出力端子が接続されている。また、これと同じ回路がアンテナ給電パターン53の方にも接続されている。すなわちストリップ線路58と、これに接続される整合回路59と、この整合回路59の出力に接続される低雑音増幅回路60である。

【0033】また、図4(b)は実施の形態4の断面図である。図4(b)は、実施の形態3で説明したように、61はプリント基板であり、このプリント基板61の下面にはグランドパターン62が密着して設けられており、その下方にはグランドプレーン63が密着して形成されている。

【0034】この場合も重要なことは、ストリップ線路55と58と整合回路56と59に対応するグランドパターン62とグランドプレーン63側には、空気層64と65を設けることである。こうすることにより入力ストリップ線路55と58の損失と整合回路56と59の損失を小さくすることができる。

【0035】また、このマイクロ波装置においては、ア

ンテナ給電パターン52と53が略90度の角度54で設けられているので異なる2つの偏波を同時に能率良く受信することができる。

【0036】

【発明の効果】以上のように本発明によれば、マイクロストリップ線路は、比誘電率が1以上のプリント基板と、このプリント基板の表面上に敷設されるとともにマイクロ波を導くストリップ線路と、前記プリント基板の裏面側とグランドプレーンとの間に設けられた空気層とを備えており、前記ストリップ線路と前記プリント基板と前記空気層と前記グランドプレーンで特性インピーダンスを形成する構成にしている。このようにプリント基板の裏面側とグランドプレーンとの間に空気層を設けているので合成される比誘電率を小さくすることができる。これにより、マイクロストリップ線路の損失を少なくすることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1におけるマイクロストリップ線路の断面図

【図2】(a) 本発明の実施の形態2におけるマイクロ波装置の平面図

(b) 同、断面図

【図3】(a) 本発明の実施の形態3におけるマイクロ波装置の要部平面図

(b) 同、要部断面図

【図4】(a) 本発明の実施の形態4におけるマイクロ波装置の要部平面図

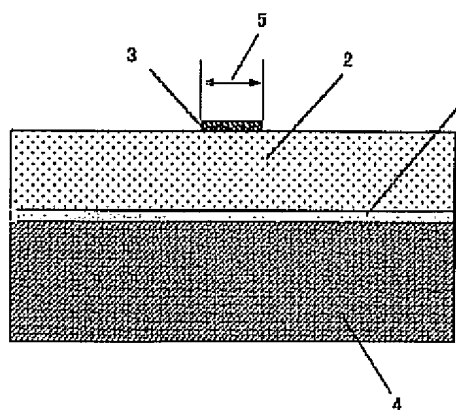
(b) 同、要部断面図

【図5】従来のマイクロストリップ線路の断面図

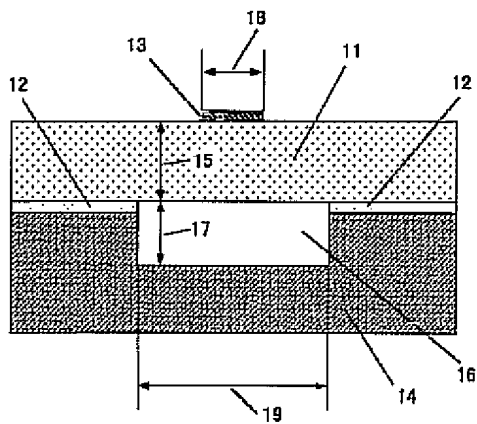
【符号の説明】

- 11 プリント基板
- 12 グランドパターン
- 13 ストリップ線路
- 14 グランドプレーン
- 16 空気層

【図5】

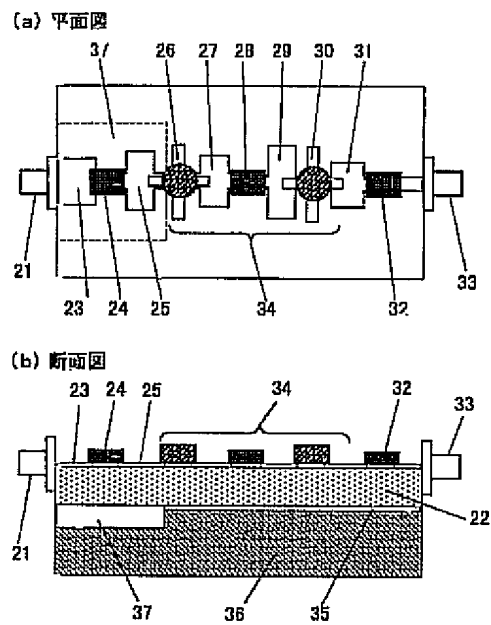


【図1】



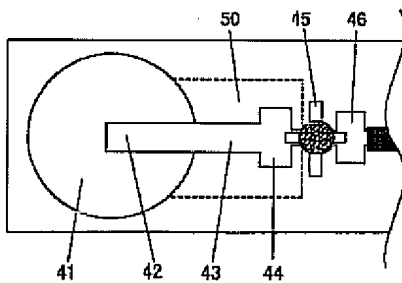
- 11 プリント基板
- 12 グランドパターン
- 13 ストリップ線路
- 14 グランドプレーン
- 16 空気層

【図2】

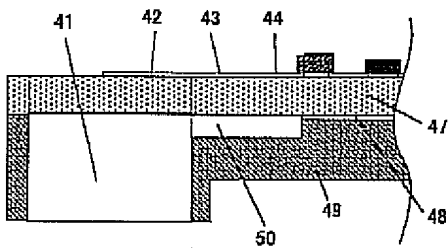


【図3】

(a) 平面図

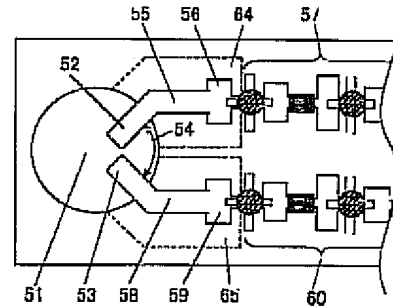


(b) 断面図

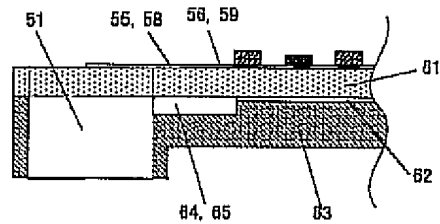


【図4】

(a) 平面図



(b) 断面図



フロントページの続き

(72)発明者 桐村 和行
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 日比野 靖宏
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

!(7) 001-230606 (P2001-230606A)

Fターム(参考) 5E338 AA02 AA16 BB71 BB75 CC02
CC06 EE11
5J014 CA14

**SEMICONDUCTOR CHIP CARRIER AND SEMICONDUCTOR MODULE, AND
MANUFACTURE OF THESE TWO**

Patent number: JP11074416
Publication date: 1999-03-16
Inventor: KATO TAKAYUKI
Applicant: MITSUBISHI ELECTRIC CORP.
Classification:
International: H01L23/12; H01P3/02; H01P5/08; H01L23/12;
H01P3/02; H01P5/08; (IPC1-7): H01L23/12; H01P3/02;
H01P5/08
European:
Application number: JP19970233595-19970829
Priority number(s): JP19970233595-19970829

[Report a data error here](#)

Abstract of JP11074416

PROBLEM TO BE SOLVED: To mount a semiconductor module on a dielectric substrate as it is after semiconductor chips are individually evaluated without deteriorating the performance of the module even in a millimetric wave range, by making the high-frequency performances of the chips seizable by extending conductor patterns to the peripheral section of the substrate from the sections of the substrate corresponding to the chips. **SOLUTION:** After a conductor pattern 11 is formed in the whole area of the carrier mounting main surface of a carrier 10, conductor pattern 11a, 11b, and 11c extended to the peripheral section of the carrier 10 are formed by patterning the pattern 11 by etching. Then, the patterns 11a, 11b, and 11c are aligned with electrode pads formed on one main surface of an MMIC chip 1, and the chip 1 is mounted on the carrier 10 by a flip chip mounting method. Therefore, the high-frequency performances of individual chips can be seized without deteriorating the performance of a module in a millimetric wave range, and, in addition, the size of the module can be reduced.

Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-74416

(43)公開日 平成11年(1999) 3月16日

(51)Int.Cl. ⁶	識別記号	F I
H 0 1 L 23/12	3 0 1	H 0 1 L 23/12 3 0 1 C
H 0 1 P 3/02		H 0 1 P 3/02
5/08		5/08 C

審査請求 未請求 請求項の数12 O L (全 21 頁)

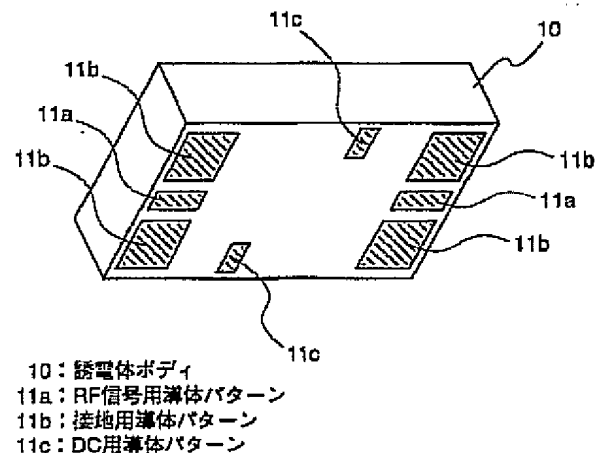
(21)出願番号	特願平9-233595	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成9年(1997) 8月29日	(72)発明者	加藤 隆幸 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(74)代理人	弁理士 早瀬 憲一

(54)【発明の名称】 半導体チップ用キャリア、半導体モジュール、半導体チップ用キャリアの製造方法、および半導体モジュールの製造方法

(57)【要約】

【課題】 ミリ波帯においても、モジュール性能の低下を招かず、かつ個別チップの高周波特性を容易に把握でき、しかも、小型化、高性能化を容易に達成できるフリップチップMMICチップ用キャリアおよびその製造方法を得ること。

【解決手段】 誘電体ボディ10の主面上にRF信号用導体パターン11a、接地用導体パターン11b、DC用導体パターン11cを形成してコプレーナライン構造を有するフリップチップMMICチップ用キャリアを構成し、このキャリア上に、フリップチップMMICチップを搭載するようにした。



10: 誘電体ボディ
11a: RF信号用導体パターン
11b: 接地用導体パターン
11c: DC用導体パターン

【特許請求の範囲】

【請求項1】 誘電体により形成された基板と、
該誘電体基板の主面における、フリップチップ方式により実装すべき半導体チップの入出力部に対応する部分に形成されたコプレーナライン状の導体パターンとを備え、

該導体パターンが上記誘電体基板の半導体チップ対応部分から当該基板の周辺部分へと延在していることを特徴とする半導体チップ用キャリア。

【請求項2】 請求項1記載の半導体チップ用キャリア 10
において、

上記半導体チップがモノリシックマイクロ波集積回路（以下、MMICと称す）チップであることを特徴とする半導体チップ用キャリア。

【請求項3】 請求項2記載の半導体チップ用キャリア 10
において、

当該キャリアの、上記MMICチップを実装すべき側の主面の中央部分に、凹部が形成されていることを特徴とする半導体チップ用キャリア。

【請求項4】 請求項2記載の半導体チップ用キャリア 20
において、

当該キャリアの、上記MMICチップを実装すべき側の主面の中央部分に、開口が形成されていることを特徴とする半導体チップ用キャリア。

【請求項5】 請求項2または3記載の半導体チップ用 30
キャリアにおいて、

当該キャリアの、上記MMICチップを実装すべき側の主面の信号線路部を除く部分、上記MMICチップを実装すべき側面とは反対側の主面、および側面に接地パターンが形成されていることを特徴とする半導体チップ用 30
キャリア。

【請求項6】 請求項2ないし5のいずれかに記載の半 30
導体チップ用キャリアにおいて、

フリップチップ実装した上記MMICチップを保護用の誘電体樹脂で気密封止したことを特徴とする半導体チップ用キャリア。

【請求項7】 請求項1ないし5のいずれかに記載の半 30
導体チップ用キャリアと、

該キャリアにフリップチップ方式により実装された半導体チップと、

該半導体チップを実装した上記キャリアを実装するための構造体と、

上記半導体チップと上記構造体との間に充填された、熱伝導性グリース、樹脂その他の熱伝導体とを備えたことを特徴とする半導体モジュール。

【請求項8】 請求項7記載の半導体モジュールにおい 40
て、

上記半導体チップがMMICチップであることを特徴とする半導体モジュール。

【請求項9】 ウエハ状の誘電体基板の、半導体チップ 50

を搭載すべき主面に導体を形成する工程と、

上記導体に対しパターンニングを行い個々の上記半導体チップの入出力部に対応する部分に導体パターンを形成する工程と、

上記ウエハ状の誘電体基板の主面に個別に位置合わせを行って上記半導体チップを実装する工程と、

上記半導体チップが実装されたウエハ状の誘電体基板を分割し個別の半導体チップ用キャリアを得る工程とを含むことを特徴とする半導体チップ用キャリアの製造方法。

【請求項10】 請求項9記載の半導体チップキャリア 50
の製造方法において、

上記半導体チップとしてMMICチップを用いたことを特徴とする半導体チップキャリアの製造方法。

【請求項11】 請求項1ないし5のいずれかに記載の 50
半導体チップ用キャリアに対し、フリップチップ方式により半導体チップを実装するとともに、構造体上の、上記キャリアを実装すべき領域に熱伝導性グリース、樹脂その他の熱伝導体を形成する工程と、

上記熱伝導体上に上記半導体チップを実装したキャリアを個々に装着する工程とを含むことを特徴とする半導体モジュールの製造方法。

【請求項12】 請求項11記載の半導体モジュールの 50
製造方法において、

上記半導体チップとしてMMICチップを用いたことを特徴とする半導体モジュールの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体チップ用 50
キャリア、半導体モジュール、半導体チップ用キャリアの製造方法、および半導体モジュールの製造方法に関するものであり、特に、フリップチップMMIC (Microwave Integrated Circuit) チップと呼ばれる、数十MHz以上の高周波帯で動作する高周波帯IC用のキャリアおよびその製造方法、さらにはこのようなMMICチップを実装する半導体モジュールおよびその製造方法を提供 50
するものである。

【0002】

【従来の技術】図32は従来の、MMICチップを用いたマルチチップモジュールの内部を示す斜視図である。図において、1はキャリアに搭載されるべきMMICチップ、2はMMICチップ1に高周波信号を伝達するための高周波信号用MIC基板、3はMMICチップ1にDCを伝達するためのDC用MIC基板、4はMMICチップ1に形成されている基本トランジスタ、5aはMMICチップ1に形成されている高周波信号用パッド、5bはMMICチップ1に形成されている接地用パッド、5cはMMICチップ1に形成されているDC用パッド、6はMMICチップ1に形成されているスルーホール（バイアホール）である。

【0003】図33は従来のMMICチップを用いたマルチチップモジュールの接続方法を示す斜視図である。まず、MMICチップ1やMIC基板2をハンダもしくは樹脂等を用いてダイボンドした後に、この図33に示すように、ボンディングワイヤを用いてそれらの電氣的接続を行っていた。図において、7はMMICチップ1とMIC基板2とを電氣的に接続するボンディングワイヤである。

【0004】また、近年、高周波帯MMICチップに対してもフリップチップ実装が実用化されつつある。図34はウエハ状態でのフリップチップMMICチップを示す斜視図である。図において、8はMMICチップ1の各種パッド上に設けられた接続用バンパであり、MMICチップ1とMIC基板2とを接続するためのものである。

【0005】図35はこのフリップチップMMICチップの実装状態を示す断面図である。図に示すように、基板2上の、MMICチップの各種パッドに対応する部分には導体パターンが形成されており、MMICチップ1を上下逆にして、位置合わせを行い、高周波信号用MIC基板2上に搭載し、接続用バンパ8を溶融したのち、これを固化することにより、実装を行っていた。

【0006】

【発明が解決しようとする課題】ボンディングワイヤを用いて配線の接続を行う、従来のマルチチップモジュールは、以上のように構成されており、ミリ波帯(30~300GHz)で動作させる場合には、ワイヤの寄生インダクタンスに起因するインピーダンスの不整合や通過損失の増大が生じやすく、また、モジュール性能の再現性、均一性が悪化する。

【0007】これに対し、フリップチップ実装を行う場合はボンディングワイヤを用いないため、ミリ波帯においても上記のような性能劣化は発生しない。

【0008】しかしながら、フリップチップ実装を行う場合には、MMICチップ単独での高周波性能の把握が困難である、という問題が新たに発生する。

【0009】図36はウエハ状態でのフリップチップMMICチップの評価状態を想定した斜視図である。図において、9は高周波帯プローブヘッドの先端に設けられた、セラミックブレード部である。従来のフリップチップMMICチップにおいて高周波性能を評価しようとすると、図36に示すように、誘電体のコプレーナ構造を有する高周波帯プローブヘッドを用いてオンウエハ状態で個別チップの高周波性能検査を実施することが考えられる。

【0010】しかしながら、接続用のバンパを有するフリップチップ実装用MMICチップ1では、高周波帯プローブヘッドの先端に設けられた、セラミックブレード部9がバンパ8と当接してバンパに変形や破壊をもたらす可能性が高いため、実際にはこの方法は使用できな

い。そしてこのように個別チップの高周波性能の把握ができない場合、モジュールとして歩留りが低下することは当然のことである。

【0011】そこで、このような接続用のバンパを有するフリップチップMMICチップにおいて、バンパに変形や破壊を生じさせることなく性能評価を実施できるように、本来のバンパ部分を選けて別の部分にオンウエハ評価専用のパッドを配設するようにしているものがある。

10 【0012】図37はこのようなオンウエハ評価専用のパッドを有するMMICチップを示す斜視図である。図において、1はMMICチップ、4は基本トランジスタ、5aは高周波信号用パッド、5bは接地用パッド、5cはDC用パッド、6はスルーホール(バイアホール)であり、これらは図32に示されたものと同様のものである。また、8は接続用バンパであり、これは図34に示されたものと同様のものである。ただし、これらの接続用バンパ8は図34のものでは高周波信号用パッド5a、接地用パッド5b、DC用パッド5cの直上にそれぞれ形成されているが、この図37のものでは、高周波信号用パッド5a、接地用パッド5bに関しては、これらのパッドからチップの内側に向けて延在する導体パターン55a、55bの上にそれぞれ形成されている。

20 【0013】図38は図37に示したMMICチップに対してオンウエハ評価を実施している状態を示す斜視図である。このようなバンパ配置を有するMMICチップを用いれば、セラミックブレード部9がバンパを破壊することなく個別のチップのパッドに当接できて、その高周波性能の検査を行なうことが可能となっている。

30 【0014】しかしながら、このMMICチップによれば、実際に基板上にフリップチップ実装して使用する際に、バンパの外側にあるオンウエハ評価専用パッド、即ち高周波信号用パッド5a、接地用パッド5bがオープンスタブとして動作するため、オンウエハ評価時と実機状態とでは特性が変化してしまい、インピーダンスの不整合や利得の低下を招くという問題が発生する。また、通常のMMICチップに比べてチップサイズが大きくなるため、コスト的な面からも不利である。

40 【0015】更に、フリップチップ実装の固有の問題点として、外観検査が不可能である点があげられる。通常、フリップチップ実装はICを上下逆にして基板上に固定するため、ICの表面が基板のごく近傍(数十 μ m)に密着する。このため、最終工程でICの表面を目視検査することが不可能であり、宇宙用モジュール等、高い信頼性を要求される用途への適用の障害となっていた。また、IC表面のごく近傍に基板が存在するため、ICの伝送線路のインピーダンスが変化し、特性の劣化が生ずるという問題点もあった。

50 【0016】そして更に、このような、信号パターンと

グラウンドパターンとが同一平面上に存在する、コプレーナ型のMMICチップ回路においては、チップの厚さが厚くなり、チップからの放熱が不十分となり、回路動作が不安定となったり、回路性能の劣化や、回路寿命の短命化等の問題が生じることとなる。

【0017】これに対し、例えば特開平8-330696号公報には、このような問題を解決できる、高放熱効果のコプレーナ型MMICチップ回路が記載されており、図39は、この公報記載の技術を転載したものである。

【0018】この図39は、コプレーナ型MMICチップ回路107と基板117との間を多数の個所でパンプ接合することにより、該コプレーナ型MMICチップ回路107と基板117との間に放熱のための間隙を形成し、かつ金属板120に張付けられる基板117に、放熱のためのスルーホール（バイアホール）121を多数設けるようにしたものである。なお、この図39において、107aはコプレーナ型MMICチップ回路107のグラウンド、117aは基板117のグラウンドである。

【0019】しかしながら、上記図39の技術では、基板に多数のバイアホール121を形成しているが、バイアホール121は通常200 μ m ϕ もの口径を有するために、回路の小型化が困難となり、かつ高価になるために、基板の厚みにも制限が生じる。

【0020】また、この図39の構造では、MMICチップのグラウンドは、バイアホール121により、一旦、基板裏面に落としてから、再度、別のバイアホール121により基板表面に導くことにより、コプレーナラインのグラウンドとの共通化を実現しているものと考えられる。

【0021】このため、上述の図39の技術では、バイアホール2個分の寄生インダクタンスがグラウンド間に重畳し、余分なモード変換が存在するために、ミリ波等では、通過損失が増大したり、反射電力により定在波が発生したりする等、特性に大幅な劣化が生じるものと思われる。

【0022】この発明は上記のような問題点を解消するためになされたもので、ミリ波帯においてもモジュール性能の低下を招かず、個別チップの高周波性能の把握が可能で、しかも、小型化を実現でき、高周波特性も良好な、半導体チップ用キャリアおよびその製造方法、さらにはこのような半導体チップ用キャリアを実装した半導体モジュールおよびその製造方法を得ることを目的とする。

【0023】

【課題を解決するための手段】本願の請求項1記載の発明による半導体チップ用キャリアは、誘電体により形成された基板と、該誘電体基板の主面における、フリップチップ方式により実装すべき半導体チップの入出力部に対応する部分に形成されたコプレーナライン状の導体パ

ターンとを備え、該導体パターンが上記誘電体基板の半導体チップ対応部分から当該基板の周辺部分へと延在しているようにしたものである。

【0024】また、本願の請求項2記載の発明による半導体チップ用キャリアは、請求項1記載の半導体チップ用キャリアにおいて、上記半導体チップがMMICチップであるようにしたものである。

【0025】また、本願の請求項3記載の発明による半導体チップ用キャリアは、請求項2記載の半導体チップ用キャリアにおいて、当該キャリアの、上記MMICチップを実装すべき側の主面の中央部分に、凹部が形成されているようにしたものである。

【0026】また、本願の請求項4記載の発明による半導体チップ用キャリアは、請求項2記載の半導体チップ用キャリアにおいて、当該キャリアの、上記MMICチップを実装すべき側の主面の中央部分に、開口が形成されているようにしたものである。

【0027】また、本願の請求項5記載の発明による半導体チップ用キャリアは、請求項2または3記載の半導体チップ用キャリアにおいて、当該キャリアの、上記MMICチップを実装すべき側の主面の信号線路部を除く部分、上記MMICチップを実装すべき側面とは反対側の主面、および側面に接地パターンが形成されているようにしたものである。

【0028】また、本願の請求項6記載の発明による半導体チップ用キャリアは、請求項2ないし5のいずれかに記載の半導体チップ用キャリアにおいて、フリップチップ実装した上記MMICチップを保護用の誘電体樹脂で気密封止するようにしたものである。

【0029】また、本願の請求項7記載の発明による半導体モジュールは、請求項1ないし5のいずれかに記載の半導体チップ用キャリアと、該キャリアにフリップチップ方式により実装された半導体チップと、該半導体チップを実装した上記キャリアを実装するための構造体と、上記半導体チップと上記構造体との間に充填された、熱伝導性グリース、樹脂その他の熱伝導体とを備えるようにしたものである。

【0030】また、本願の請求項8記載の発明による半導体モジュールは、請求項7記載の半導体モジュールにおいて、上記半導体チップがMMICチップであるようにしたものである。

【0031】また、本願の請求項9記載の発明による半導体チップ用キャリアの製造方法は、ウエハ状の誘電体基板の、半導体チップを搭載すべき主面に導体を形成する工程と、上記導体に対しパターンニングを行い個々の上記半導体チップの入出力部に対応する部分に導体パターンを形成する工程と、上記ウエハ状の誘電体基板の主面に個別に位置合わせを行って上記半導体チップを実装する工程と、上記半導体チップが実装されたウエハ状の誘電体基板を分割し個別の半導体チップ用キャリアを得る

工程とを含むようにしたものである。

【0032】また、本願の請求項10記載の発明による半導体チップ用キャリアの製造方法は、請求項9記載の半導体チップキャリアの製造方法において、上記半導体チップとしてMMICチップを用いるようにしたものである。

【0033】また、本願の請求項11記載の発明による半導体モジュールの製造方法は、請求項1ないし5のいずれかに記載の半導体チップ用キャリアに対し、フリップチップ方式により半導体チップを実装するとともに、構造体上の、上記キャリアを実装すべき領域に熱伝導性グリース、樹脂その他の熱伝導体を形成する工程と、上記熱伝導体上に上記半導体チップを実装したキャリアを個々に装着する工程とを含むようにしたものである。

【0034】さらに、本願の請求項12記載の発明による半導体モジュールの製造方法は、請求項11記載の半導体モジュールの製造方法において、上記半導体チップとしてMMICチップを用いるようにしたものである。

【0035】

【発明の実施の形態】

実施の形態1. 以下、この発明の実施の形態を図について説明する。この実施の形態1は、誘電体基板の主面において、フリップチップMMICチップのバンプ電極に対応する個所にコプレーナライン状の導体パターンを形成するようにしたものであり、これに位置合わせを行ってフリップチップMMICチップを搭載するものである。

【0036】図1は本願の請求項1, 2記載の発明に対応する、実施の形態1による半導体チップ用キャリアを示す斜視図である。また、図2は本願の請求項1, 2記載の発明に対応する、実施の形態1による半導体チップ用キャリアを示す側面図である。

【0037】図1において、10はキャリアを構成する誘電体ボディ、11a, 11b, 11cはそれぞれキャリア10の、フリップチップMMICチップを搭載する側の主面に形成されたRF信号用導体パターン、接地用導体パターン、DC用導体パターンである。そして、このRF信号用導体パターン11aはその両側の接地用導体パターン11bによって挟まれているために、コプレーナライン構造となっている。また、キャリアのボディ10はアルミナ、ガラスセラミック等の誘電体からなり、かつその基板厚は0.5〜2mm程度のものである。

【0038】図3は本願の請求項1, 2記載の発明に対応する、実施の形態1による半導体チップ用キャリアに対し、MMICチップを実装しようとしている状態を示す斜視図である。

【0039】図において、1はMMICチップ、4, 6, 8はそれぞれMMICチップ1上に形成された基本トランジスタ、スルーホール、接続用バンプであり、1

1は導体パターンである。

【0040】図4は本願の請求項1, 2の発明に対応する、実施の形態1による半導体チップ用キャリアに対し、MMICチップ1を実装した状態を示す側面図である。本実施の形態1は、まず、図3(a)に示すように、キャリア10の、チップを搭載する側の主面全面に導体パターン11を形成し、次いで、図3(b)に示すように、この導体パターン11に対しエッチング等により導体パターンニングを行って、接続用バンプ8に対応して設けられ、かつキャリア10の周辺部に延在する導体パターン11a, 11b, 11cを形成する。

【0041】次に、図4に示すように、MMICチップ1をキャリア10の主面の中央部に位置合わせを行って実装する。すなわち、MMICチップ1の一方の主面に形成されたバンプ電極とキャリア10の一方の主面に形成された電極パッドとの位置合わせを行い、その後、通常のフリップチップ実装法を用いて、MMICチップ1をキャリア10上に搭載する。

【0042】これにより、MMICチップ1のRF電極、接地電極、DC電極はそれぞれバンプ8を介してキャリア10の主面上の電極に接続され、これらの電極はキャリア10の周辺部へと引き出される。また、MMICチップ1はそのトランジスタ4の形成された側の主面がキャリア10の主面と対向するように、キャリア10に搭載される。

【0043】図5は本願の請求項1, 2記載の発明に対応する、実施の形態1の半導体チップ用キャリアに実装したMMICチップに対しRF特性の検査を実施しようとしている状態の一例を示す断面図である。図において、12はキャリアに実装したMMICチップを支持する治具ボディ、12aは治具ボディ12の主面に形成された凹部、2は治具ボディ12に設けられた高周波信号用MIC基板、13は治具ボディ12に支持されたMMICチップに対しRF信号の入出力を行うためのRF信号用同軸コネクタである。

【0044】通常、MMICチップは基板厚が300μm以下であり、材料的にも極めて破損しやすいため、それ自体を直接治具等に圧着して評価することが困難であったが、本キャリア10によれば、これに実装することによって圧着評価が可能となった。

【0045】すなわち、キャリア10にMMICチップ1を装着することにより、キャリア10表面から見ればMMICチップ1が凸部になるが、このキャリア10表面に形成された凸部をこれに対応してあらかじめ治具ボディ12に形成されている凹部12aに嵌入するようにキャリア10を治具ボディ12に装着することにより、MMICチップ1を本治具ボディ12に実装することが可能となり、かつこれにより、MMICチップ1の主面に形成された電極パッドと治具ボディ12の主面に形成された電極パッドとが直接接続される。そしてこの誘電

体ボディ10の電極パッドが同軸ケーブル13を介して外部の測定器に接続され、この測定器によって発生した測定用の信号を同軸ケーブル13を介して本治具ボディ12に接続し、これをMMICチップ1に対して入力する。一方、MMICチップ1からの応答信号を、測定用の信号を入力した時とは逆の経路で取得してこれを測定することにより、MMICチップ1の測定を行うようにしている。

【0046】このようにして、フリップチップ実装でありながら、個別チップのRF特性の検査と把握が初めて可能となった。

【0047】図6は本願の請求項1、2記載の発明による半導体チップ用キャリアに実装したMMICチップをモジュール22の一方の主面に形成した凹部22aに嵌め込むことにより、モジュールに実装しようとしている状態の一例を示す斜視図である。

【0048】図において、22はフリップチップMMICチップ1を嵌入するための凹部22aを主面に複数形成したモジュールであり、23a、23bはモジュール22の、凹部22aの両側に形成された導体パターンである。

【0049】このモジュールは、図5の手法により測定を行い、良品と判定されたフリップチップMMICチップ1のみを複数装着するMCM (Multi Chip Module) である。

【0050】このMCMは、フリップチップMMICチップ1を3個装着できるものであり、各MMICチップ1に対応する凹部22aの両側にはキャリア10の導体パターン11a、11bに対応して導体パターン23a、23bが形成されている。この導体パターン23a、23bのうち凹部22aによって挟まれたものはそれぞれ両側の2つのキャリア10によって共用されているため、導体チップ用キャリアに実装したMMICチップをモジュール22の一方の主面に形成した凹部22aに嵌め込むことにより、3つのキャリア10をモジュール22に装着すると、これらのキャリア10に搭載されたMMICチップ1は電気的に直列に接続される。

【0051】このように、本キャリアを用いることにより、RF特性の検査を行ったのと同じ状態で実際のモジュールに実装可能であるため、測定データの信頼性が高くなる。

【0052】なお、キャリアをモジュール用の基板へ実装する際は、ハンダを用いたりフローでもよいし、バンブを用いたフリップチップ実装法でもかまわない。

【0053】ここで、従来の各種実装技術に対する本実施の形態1のメリットを検討する。

【0054】・本実施の形態1とワイヤボンド方式の比較

低周波波帯では両者にあまり差はないが、ミリ波帯では本実施の形態1はワイヤボンド方式における、ワイヤに

起因する性能低下(90GHzにおいてワイヤ1本あたり0.2~0.3dBの通過損失が生じる)や信号波形の再現性の悪化を考慮しなくてよい。

【0055】また、ワイヤボンド方式ではパッケージ端では壁面が邪魔となってワイヤが打てない等の支障があるのに対し、本実施の形態1ではこうしたデメリットが生じるものではなく、実装の自由度も大きくなる。

【0056】・本実施の形態1とフリップチップ方式の比較

本実施の形態1ではMMICチップの個別評価が可能となるため、フリップチップ方式に比べモジュール組立時の歩留りが大幅に向上する。また故障時のチップ交換も比較的容易である。

【0057】・本実施の形態1とTAB方式の比較

本実施の形態1では、チップがばらばらになったとき、即ち個々のチップが分散したときのハンドリング性においてTAB方式よりもはるかに有利である。これに対し、TAB方式ではチップが反ったり変形したりしやすい。

【0058】また、TAB方式ではRF特性評価のために使用する治具の開発が困難であり、まして自動評価の実施は不可能に近いのに対し、本実施の形態1では治具への実装が可能となり、高周波における性能評価が可能となっている。

【0059】このように、本実施の形態1によれば、フリップチップMMICチップ用キャリアを誘電体で形成するとともに、その主面に形成された対象となるMMICチップのRF入出力部に対応する部分にコプレーナライン状の導体パターンを形成し、さらに、該導体パターンがMMICチップ対応部分からキャリアの周辺部分へと延在するようにしたので、ミリ波帯において使用する場合であっても、フリップチップ実装であるにもかかわらず、モジュール性能の低下を招くことがなく、しかも個別チップの高周波性能の把握が可能で、小型化、高性能化が可能なフリップチップMMICチップ用キャリアを提供できる効果がある。

【0060】実施の形態2. この実施の形態2は、実施の形態1によるキャリアの主面中央付近に凹部を設けるようにしたものである。

【0061】図7は本願の請求項3記載の発明に対応する、実施の形態2による半導体チップ用キャリアを示す斜視図である。図8は本願の請求項3の発明に対応する、実施の形態2による半導体チップ用キャリアを示す側面図である。図において、14はキャリアの主面に形成された凹面部である。この凹面部14はMMICチップを搭載する、キャリアのボディ10の主面中央部に、機械加工、エッチングその他の方法を用いて形成した「へこみ」である。このへこみの深さは少なくともMMICチップの基板厚と同程度、できれば0.5mm程度あることが望ましい。他の部分は実施の形態1と同様で

ある。

【0062】図9は、本願の請求項3記載の発明に対応する、実施の形態2による半導体チップ用キャリアにMMICチップを実装しようとしている状態を示す斜視図である。

【0063】図10は本願の請求項3記載の発明に対応する、実施の形態2による半導体チップ用キャリアにMMICチップを実装した状態を示す側面図である。

【0064】図11は本願の請求項3記載の発明に対応する、実施の形態2による半導体チップ用キャリアに実装したMMICチップのRF特性の検査を実施しようとしている状態の一例を示す断面図である。

【0065】図12は本願の請求項3記載の発明に対応する、実施の形態2による半導体チップ用キャリアに実装したMMICチップをモジュールに実装しようとしている状態の一例を示す斜視図である。

【0066】本実施の形態2は、図9(a)に示すように、まず、キャリアの主面に凹面部14を形成し、キャリア10の、チップを搭載する側の主面全面に導体パターン11を形成し、次いで、図9(b)に示すように、この導体パターン11に対しエッチング等により導体パターンニングを行って、接続用パンプ8に対応して設けられ、かつキャリア10の周辺部に延在する導体パターン11a, 11b, 11cを形成する。

【0067】次に、図10に示すように、MMICチップの表面、即ち、基本トランジスタを形成した側の主面がこの凹面部と対向するように、キャリアのボディにMMICチップを搭載するようにしている。すなわち、MMICチップ1の一方の主面に形成されたパンプ電極とキャリア10の一方の主面に形成された電極パッドとの位置合わせを行い、その後、通常のフリップチップ実装法を用いて、MMICチップ1をキャリア10上に搭載する。

【0068】これにより、MMICチップ1のRF電極、接地電極、DC電極はパンプ8を介してキャリア10の主面上の対応する電極にそれぞれ接続され、これらの電極はキャリア10の周辺部へと引き出される。また、MMICチップ1はそのトランジスタ4の形成された側の主面がキャリア10の主面と対向するように、キャリア10に搭載される。

【0069】このため、MMICチップが動作している状態で、MMICチップ表面の回路とその上方の誘電体としてのキャリアのボディとが十分に離れているために、インピーダンスにはほとんど影響を与えない。また、仮に、わずかな影響があった場合でも、図11に示す評価状態と図12に示す実装状態とで状態が同一であるために、その影響を含んで検査を実施することが可能である。

【0070】このように、本実施の形態2によれば、フリップチップMMICチップ用キャリアを誘電体で形成

するとともに、その主面に形成された、対象となるMMICチップのRF入出力部に対応する部分にコプレーナライン状の導体パターンを形成し、誘電体パターンがMMICチップの対応部分から基板の周辺部分へと延在するようにするとともに、誘電体主面の中央部付近に凹面部を形成するようにしたので、ミリ波帯において使用する場合であっても、フリップチップ実装であるにもかかわらずモジュール性能の低下を招くことがなく、MMICチップの信号線路のインピーダンスが安定し、しかも個別チップの高周波性能の把握が可能で、小型化、高性能化が可能なフリップチップMMICチップ用キャリアを提供できる効果がある。

【0071】実施の形態3. この実施の形態3は、実施の形態1によるキャリアの主面中央付近にボディを貫く貫通孔を設けるようにしたものである。

【0072】図13は本願の請求項4記載の発明に対応する、実施の形態3による半導体チップ用キャリアを示す斜視図である。図において、15はキャリアのボディ中央部を、MMICチップを搭載する側の主面からその反対側の主面に向けて貫通するように形成された貫通孔である。

【0073】図14は本願の請求項4記載の発明に対応する、実施の形態3による半導体チップ用キャリアを示す側面図である。

【0074】この実施の形態3においても、MMICチップを搭載する、ボディの主面中央部分が機械加工、エッチングその他の方法を用いて加工されている点では実施の形態2と同様であるが、実施の形態2ではこの加工により単に凹面部が形成されているにすぎないのに対し、本実施の形態3では、完全な貫通孔が形成されている点が特徴である。他の部分は実施の形態1と同様である。

【0075】図15は本願の請求項4記載の発明に対応する、実施の形態3による半導体チップ用キャリアにMMICチップを実装しようとしている状態を示す斜視図である。

【0076】図16は本願の請求項4記載の発明に対応する、実施の形態3による半導体チップ用キャリアにMMICチップを実装した状態を示す側面図である。

【0077】図17は本願の請求項4記載の発明に対応する、実施の形態3による半導体チップ用キャリアに実装したMMICチップのRF特性の検査を行おうとしている状態の一例を示す断面図である。

【0078】図18は本願の請求項4記載の発明に対応する、実施の形態3による半導体チップ用キャリアに実装したMMICチップをモジュールに実装しようとしている状態の一例を示す斜視図である。

【0079】本実施の形態3は、図13(a)に示すように、まず、キャリアの主面中央部に貫通孔を形成し、キャリア10の、チップを搭載する側の主面全面に導体パ

13

ターン11を形成し、次いで、図13(b)に示すように、この導体パターン11に対しエッチング等により導体パターンニングを行って、接続用パンプ8に対応して設けられ、かつキャリア10の周辺部に延在する導体パターン11a, 11b, 11cを形成する。

【0080】次に、図14に示すように、MMICチップの表面、即ち、基本トランジスタを形成した側の主面がこの貫通孔と対向するように、キャリアのボディにMMICチップを搭載するようにしている。すなわち、MMICチップ1の一方の主面に形成されたパンプ電極とキャリア10の一方の主面に形成された電極パッドとの位置合わせを行い、その後、通常のフリップチップ実装法を用いて、MMICチップ1をキャリア10上に搭載する。

【0081】これにより、MMICチップ1のRF電極、接地電極、DC電極はパンプ8を介してキャリア10の主面上の対応する電極にそれぞれ接続され、これらの電極はキャリア10の周辺部へと引き出される。また、MMICチップ1はそのトランジスタ4の形成された側の主面がキャリア10の主面と対向するように、キャリア10に搭載される。即ち、MMICチップの基本トランジスタを形成した面がこの貫通孔の開口部に対向するように、キャリアのボディにMMICチップを搭載するようにしている。

【0082】このため、実施の形態2と同様に、MMICチップが動作している状態で、MMICチップ表面の回路とその上方の誘電体（キャリアのボディ）とが十分に離れているため、インピーダンスにはほとんど影響を与えない。仮に、わずかな影響があった場合でも、図17に示す評価状態と図18に示す実装状態とで状態が同一であるために、その影響を含んだ検査を実施可能である。

【0083】また、単に、MMICチップの動作状態でインピーダンスにはほとんど影響を与えないという効果を有するのみならず、貫通孔を介してMMICチップの外観目視検査を容易に実施可能であるという利点をも有する。

【0084】このように、本実施の形態3によれば、フリップチップMMICチップ用キャリアを誘電体で形成するとともに、その主面に形成された対象となるMMICチップのRF入出力部に対応する部分にコプレーナライン状の導体パターンを形成し、該導体パターンがMMICチップ対応部分から周辺部分へと延在するようにするとともに、誘電体ボディの主面中央付近に貫通孔を形成するようにしたので、ミリ波帯において使用する場合であっても、フリップチップ実装であるにもかかわらず、モジュール性能の低下を招くことがなく、MMICチップの信号線路のインピーダンスが安定し、しかもフリップチップMMICチップの外観目視検査が可能となり、個別チップの高周波性能の把握が可能で、小型化、

14

高性能化が可能なフリップチップMMICチップ用キャリアを提供できる効果がある。

【0085】実施の形態4. この実施の形態4は、実施の形態2によるキャリアの主面における、電極パターン形成部を除く部分、キャリアの側面および、フリップチップMMICチップを搭載する側とは反対側のキャリアの主面にわたって共通の接地用パターンを設けるようにしたものである。

【0086】図19は本願の請求項5記載の発明に対応する、実施の形態4による半導体チップ用キャリアの一例を示す斜視図である。この実施の形態4では、キャリアの、MMICチップを実装する側の面とは反対側の主面、および実装する側の主面の、信号線路部以外がすべて接地パターンとして共通化されている点が特徴である。他の部分は前述の実施の形態2と同様である。

【0087】図20は本願の請求項5記載の発明に対応する、実施の形態4による半導体チップ用キャリアの一例を示す断面図である。

【0088】図21は本願の請求項5記載の発明に対応する、実施の形態4による半導体チップ用キャリアに対し、MMICチップを実装しようとしている状態を示す斜視図である。

【0089】図において、11bは接地パターンであり、本実施の形態4では、ボディ10の、MMICチップ1を実装する側の面とは反対側の主面、および実装する側の主面の、信号線路部以外に形成されている。

【0090】図22は本願の請求項5記載の発明に対応する、実施の形態4による半導体チップ用キャリアにMMICチップ1を実装した状態を示す側面図である。

【0091】本実施の形態4は、図21(a)に示すように、まず、キャリアの主面中央部に機械加工、エッチング等により凹面部14を形成し、キャリア10の、チップを搭載する側の主面、その反対側の主面、および側面全面に導体パターン11を形成し、次いで、図21(b)に示すように、この導体パターン11に対しエッチング等により導体パターンニングを行って、チップを搭載する側の主面の、接続用パンプ8に対応した部分に導体パターン11a, 11cを形成し、この主面の残りの部分、その反対側の主面、および側面全面に接地パターン11bを形成する。

【0092】次に、図14に示すように、MMICチップの表面、即ち、基本トランジスタを形成した側の主面がこの貫通孔と対向するように、キャリアのボディにMMICチップを搭載するようにしている。すなわち、MMICチップ1の一方の主面に形成されたパンプ電極とキャリア10の一方の主面に形成された電極パッドとの位置合わせを行い、その後、通常のフリップチップ実装法を用いて、MMICチップ1をキャリア10上に搭載する。

【0093】これにより、MMICチップ1のRF電

極、接地電極、DC電極はパンプ8を介してキャリア10の主面上の対応する電極にそれぞれ接続され、これらの電極はキャリア10の周辺部へと引き出される。また、MMICチップ1はそのトランジスタ4の形成された側の主面がキャリア10の主面と対向するように、キャリア10に搭載される。MMICチップの基本トランジスタを形成した面がこの貫通孔の開口部に対向するように、キャリアのボディにMMICチップを搭載するようにしている。この実施の形態4によれば、MMICチップ1の上方の空間が全て接地導体でシールドされているためRF電極間の漏洩電力や外来雑音電力を抑圧できるという利点を有する。

【0094】このMMICチップ用キャリアの使用法、即ちモジュールへの実装の仕方は前述の実施の形態2と同様である。

【0095】このように、本実施の形態4によれば、フリップチップMMICチップ用キャリアを誘電体で形成するとともに、この誘電体ボディの、MMICチップが実装される側の主面の信号線路部を除く部分、上記MMICチップの実装面とは反対側の主面、および側面に接地パターンを形成し、かつその主面に形成された、対象となるMMICチップのRF入出力部に対応する部分にコプレーナライン状の導体パターンを形成し、該導体パターンがMMICチップの対応部分から周辺部分へと延在するようにするとともに、誘電体ボディの主面中央付近に凹面部を形成するようにしたので、フリップチップを搭載し、ミリ波帯において使用する場合であっても、モジュール性能の低下を招かず、MMICチップの信号線路のインピーダンスが安定し、外来雑音電力のシールドが可能となり、個別チップの高周波性能の把握が可能で、小型化、高性能化が可能なフリップチップMMICチップ用キャリアを提供できる効果がある。

【0096】実施の形態5。この実施の形態5は、実施の形態4によるキャリアの主面にフリップチップMMICチップを搭載し、かつそのキャリアの主面側、即ち、フリップチップMMICチップの裏面側を誘電体樹脂で気密封止するようにしたものである。

【0097】図23は本願の請求項6記載の発明に対応する、実施の形態5による半導体チップ用キャリアの一例を示す断面図である。図において、16は保護用の誘電体樹脂である。この実施の形態5による半導体チップ用キャリアは、フリップチップ実装したMMICチップ部が保護用の誘電体樹脂15で気密封止されていることが特徴である。この気密封止を行う際、MMICチップ表面のトランジスタ部に樹脂が侵入すると寄生容量や表面ストレスの増大によってRF特性が劣化するため、粘度の大きな樹脂を用いて内部への樹脂の侵入を避けている。他の部分は前述の実施の形態4と同様である。本構造を用いた場合、個々のキャリアレベルで気密封止が可能となるため信頼性が向上し、またモジュールレベルで

の気密封止が不要となるため構造が簡略化される。

【0098】また、図24は本願の請求項6記載の発明に対応する、実施の形態5による半導体チップ用キャリアの他の例を示す断面図である。

【0099】この実施の形態5では、保護膜として粘度の比較的小さな樹脂を用いているため、MMICチップの表面にまで樹脂が侵入している。このため、MMICチップのRF特性は低下するが、信頼性は更に向上するため要求性能のレベルによっては本構造を使用することもあり得る。

【0100】このように、本実施の形態5によれば、フリップチップMMICチップ用キャリアを誘電体で形成するとともに、MMICチップが実装される側の主面の信号線路部を除く部分、上記MMICチップの実装面とは反対側の主面、および側面に接地パターンを形成し、かつその主面に形成された対象となるMMICチップのRF入出力部に対応する部分にコプレーナライン状の導体パターンを形成し、該導体パターンがMMICチップの対応部分から周辺部分へと延在するようにするとともに、誘電体ボディの主面中央付近に凹面部を形成し、さらにフリップチップMMICチップの裏面側を誘電体樹脂で気密封止するようにしたので、ミリ波帯において使用する場合であっても、フリップチップ実装であるにもかかわらず、モジュール性能の低下を招くことがなく、MMICチップの信号線路のインピーダンスが安定し、外来雑音電力のシールドが可能となり、個別チップの高周波性能の把握が可能で、小型化、高性能化が可能な高信頼性のフリップチップMMICチップ用キャリアを提供できる効果がある。

【0101】実施の形態6。この実施の形態6は、主面にフリップチップMMICチップを搭載した、実施の形態2、4によるキャリアをモジュールの凹部に装着する際に、MMICチップの裏面側に熱伝導体を設けるようにしたものである。

【0102】図25は本願の請求項7、8、11、12記載の発明に対応する半導体モジュールおよびその製造方法において、実施の形態6による半導体チップ用キャリアをモジュールへ実装しようとしている状態を示す斜視図である。図において、17はモジュール22の凹部22aの底面上に形成された、ある程度の柔軟性を有する熱伝導体である。

【0103】この実施の形態6は、MMICチップを搭載したキャリアをモジュール、即ち、外部基板に実装する際に、MMICチップの裏面とその直下の構造体としての外部基板との間に、熱伝導性グリース、樹脂、その他の熱伝導体を充填するようにしたものである。他の部分は前述の実施の形態2と同様である。

【0104】図26は本願の請求項7、8、11、12記載の発明に対応する半導体モジュールおよびその製造方法において、実施の形態6による半導体チップ用キャ

リアをモジュールへ実装した状態を示す断面図である。図において、18はモジュール22のヒートシンクである。

【0105】この半導体モジュールはモジュール22の凹部22aの底面に熱伝導性グリース、樹脂、その他の熱伝導体17を形成し、次に、この熱伝導体17の表面に、キャリアに実装された半導体チップの裏面が接するようにキャリアを装着することにより、完成するものである。なお、モジュール22への熱伝導体17の形成とキャリアへの半導体チップの実装はいずれを先に行ってもよい。

【0106】この半導体モジュールに対し、通常のフリップチップ実装法ではICの裏面が上方を向いているため裏面を介した熱放射が非常に困難であったが、本実施の形態6ではICの裏面が下方を向いているため、これと接触する熱伝導性グリース、その他を介してモジュールのヒートシンクに向けて熱を放射することが可能である。現在、熱伝導性グリース（セラミック充填型あるいは金属充填型）は288℃まで使用可能なものが市販されている。したがって、本構造を用いた場合、通常のフリップチップ実装モジュールに比べてはるかに単純な構造で効率よく熱管理が可能となる。

【0107】このように、本実施の形態6によれば、フリップチップMMICチップ用キャリアを誘電体で形成するとともに、MMICチップが実装される側の主面の信号線路部を除く部分、上記MMICチップ実装面とは反対側の主面、および側面に接地パターンを形成し、かつその主面に形成された対象となるMMICチップのRF入出力部に対応する部分にコプレーナライン状の導体パターンを形成し、該導体パターンがMMICチップの対応部分から周辺部分へと延在するようにするとともに、誘電体ボディの主面中央部付近に凹部を形成し、さらにフリップチップMMICチップの裏面側と外部基板との間に熱伝導性の樹脂を充填するようにしたので、ミリ波帯において使用する場合であっても、フリップチップ実装であるにもかかわらず、モジュール性能の低下を招くことがなく、MMICチップの信号線路のインピーダンスが安定し、外来雑音電力のシールドが可能となり、個別チップの高周波性能の把握が可能で、小型化、高性能化が可能な高信頼性のフリップチップMMICチップ用キャリアを実装したフリップチップMMICチップ用モジュールおよびその製造方法を提供できる効果がある。

【0108】なお、上記実施の形態6では、実施の形態2、4による、キャリアを実装するようにしたが、実施の形態1、3による、キャリアを実装するようにしてもよく、上記実施の形態6と同様の効果を奏する。

【0109】実施の形態7。この実施の形態7は、実施の形態2のフリップチップMMICチップ用キャリアの製造方法を提供しようとするものである。

【0110】図27は本願の請求項9、10記載の発明に対応する、実施の形態7による半導体チップ用キャリアの製造方法の第一段階を示す斜視図である。この図27は、アルミナ、ガラスセラミック等の誘電体基板10上に導体パターン11a、11bを形成した状態を示す。

【0111】図28は本願の請求項9、10記載の発明に対応する、実施の形態7による半導体チップ用キャリアの製造方法の第二段階を示す斜視図である。この図28は、図27において、導体パターニングを行った後にエッチング、機械加工その他の方法を用いて誘電体基板10上に凹面部14を形成した状態を示す。

【0112】図29は本願の請求項9、10記載の発明に対応する、実施の形態7による半導体チップ用キャリアの製造方法の第三段階を示す斜視図である。この図29は、対象となるMMICチップを、フリップチップ実装技術を用いて誘電体基板上に実装している状態を示す。

【0113】図30は本願の請求項9、10記載の発明に対応する、実施の形態7による半導体チップ用キャリアの製造方法の第四段階を示す斜視図である。この図30は、MMICチップ実装後にRF特性の評価のためRFプローブヘッドを導体パターンに接触させている状態を示す。

【0114】図31は本願の請求項9、10記載の発明に対応する、実施の形態7による半導体チップ用キャリアの製造方法の第五段階を示す斜視図である。この図31は、RF特性の評価後に、各キャリアに分離するために、ダイシングソーにより、切断を行っている状態を示す。

【0115】次に、これら図27ないし図31を用いて、実施の形態7によるフリップチップMMICチップ用キャリアの製造方法について説明する。まず、図27に示す第一段階において、アルミナ、ガラスセラミック等の誘電体基板10上の全面に導体パターンを形成し、次にこれをエッチング等の周知の手法によりパターニングし各MMICチップに対応する導体パターン11a、11bを形成する。

【0116】次に、図28に示す第二段階において、誘電体基板10上の各導体パターン11a、11bの間に、エッチング、機械加工その他の方法を用いて凹面部14を形成する。

【0117】なお、この第二段階は、誘電体基板10に凹面部14を形成しないのであれば省略可能であり、また凹面部14の代わりに貫通孔を形成するのであれば、凹面部14を形成するのと同様の方法で貫通孔を形成すればよい。

【0118】次に、図29に示す第三段階において、対象となるMMICチップ1を、フリップチップ実装技術を用いて、それぞれ誘電体基板10上の導体パターン1

1 a, 1 1 b と接触するように位置合わせを行って実装する。

【0 1 1 9】次に、図 3 0 に示す第四段階において、M M I C チップを実装した後に R F 特性を評価するため R F プローブヘッドを導体パターンに接触させる。

【0 1 2 0】ちなみに、この状態で導体パターンに R F プローブヘッド特有の接触痕が残るため、本実施の形態 7 による製造方法と他の製造方法とを区別できるはずである。なお、必要に応じて、この後に不良キャリアへのインク打ちも実施可能である。

【0 1 2 1】そして、図 3 1 に示す第五段階において、ダイシングソー 1 9 を用いて、誘電体基板 1 0 を切断することにより、個別のフリップチップ M M I C チップ用キャリアを得ることができる。

【0 1 2 2】このように、本実施の形態 7 によるフリップチップ M M I C チップ用キャリアの製造方法によれば、M M I C チップの実装、R F 特性評価を基板に等間隔に並んでいる状態で行えるため、自動化が容易となる。したがって、コストの大幅な低減が可能であるという効果を有する。

【0 1 2 3】なお、上記実施の形態 7 では、実施の形態 2 による、キャリアを製造するようにしたが、すでに述べたように、製造方法の第二の段階を変更することにより、実施の形態 1, 3 による、キャリアを製造するようにしてもよく、上記実施の形態 7 と同様の効果を奏する。

【0 1 2 4】

【発明の効果】以上のように、本願の請求項 1 記載の発明による半導体チップ用キャリアによれば、誘電体により形成された基板と、該誘電体基板の主面における、フリップチップ方式により実装すべき半導体チップの入出力部に対応する部分に形成されたコプレーナライン状の導体パターンとを備え、該導体パターンが上記誘電体基板の半導体チップ対応部分から当該基板の周辺部分へと延在しているようにしたので、半導体チップをフリップチップ実装した状態でコプレーナライン状の高周波信号インターフェースを有しているため、個別チップの高周波性能の把握が可能であり、ミリ波帯においてもモジュール性能の低下を招かず、個別評価後にそのままの形でモジュール実装を実施できる半導体チップ用キャリアが得られる効果がある。

【0 1 2 5】また、本願の請求項 2 記載の発明による半導体チップ用キャリアによれば、請求項 1 記載の半導体チップ用キャリアにおいて、上記半導体チップが M M I C チップであるようにしたので、フリップチップ M M I C チップをフリップチップ実装した状態でコプレーナライン状の高周波信号インターフェースを有しているため、個別チップの高周波性能の把握が可能であり、ミリ波帯においてもモジュール性能の低下を招かず、個別評価後にそのままの形でモジュール実装を実施できるフリ

ップチップ M M I C チップ用キャリアが得られる効果がある。

【0 1 2 6】また、本願の請求項 3 記載の発明による半導体チップ用キャリアによれば、請求項 2 記載の半導体チップ用キャリアにおいて、当該キャリアの、上記 M M I C チップを実装すべき側の主面の中央部分に、凹部が形成されているようにしたので、ミリ波帯においてもモジュール性能の低下を招かず、個別チップの高周波性能の把握が可能であり、個別評価後にそのままの形でモジュール実装を実施できるとともに、M M I C チップの信号線路のインピーダンスを安定化できる効果がある。

【0 1 2 7】また、本願の請求項 4 記載の発明による半導体チップ用キャリアによれば、請求項 2 記載の半導体チップ用キャリアにおいて、当該キャリアの、上記 M M I C チップを実装すべき側の主面の中央部分に、開口が形成されているようにしたので、ミリ波帯においてもモジュール性能の低下を招かず、個別チップの高周波性能の把握が可能であり、個別評価後にそのままの形でモジュール実装を実施できるとともに、M M I C チップの信号線路のインピーダンスを安定化でき、しかも開口により、外観検査が実施可能であるため、モジュールの高信頼性が実現できるという効果がある。

【0 1 2 8】また、本願の請求項 5 記載の発明による半導体チップ用キャリアによれば、請求項 2 または 3 記載の半導体チップ用キャリアにおいて、当該キャリアの、上記 M M I C チップを実装すべき側の主面の信号線路部を除く部分、上記 M M I C チップを実装すべき側面とは反対側の主面、および側面に接地パターンが形成されているようにしたので、個別チップの高周波性能の把握が可能であり、ミリ波帯においてもモジュール性能の低下を招かず、個別評価後にそのままの形でモジュール実装を実施できるとともに、外来雑音電力を有効にシールドできる効果がある。

【0 1 2 9】また、本願の請求項 6 記載の発明による半導体チップ用キャリアによれば、請求項 2 ないし 5 のいずれかに記載の半導体チップ用キャリアにおいて、フリップチップ実装した上記 M M I C チップを保護用の誘電体樹脂で気密封止するようにしたので、個別チップの高周波性能の把握が可能であり、ミリ波帯においてもモジュール性能の低下を招かず、個別評価後にそのままの形でモジュール実装を実施できるとともに、信頼性を向上できる効果がある。

【0 1 3 0】また、本願の請求項 7 記載の発明による半導体モジュールによれば、請求項 1 ないし 5 のいずれかに記載の半導体チップ用キャリアと、該キャリアにフリップチップ方式により実装された半導体チップと、該半導体チップを実装した上記キャリアを実装するための構造体と、上記半導体チップと上記構造体との間に充填された、熱伝導性グリース、樹脂その他の熱伝導体とを備えるようにしたので、個別チップの高周波性能の把握が

可能であり、ミリ波帯においてもモジュール性能の低下を招かず、個別評価後にそのままの形でモジュール実装を実施できるとともに、フリップチップ実装される半導体チップの熱拡散性を改善できる効果がある。

【0131】また、本願の請求項8記載の発明による半導体モジュールによれば、請求項7記載の半導体モジュールにおいて、上記半導体チップがMMICチップであるようにしたので、個別チップの高周波性能の把握が可能であり、ミリ波帯においてもモジュール性能の低下を招かず、個別評価後にそのままの形でモジュール実装を実施できるとともに、フリップチップ実装されるMMICチップの熱拡散性を改善できる効果がある。

【0132】また、本願の請求項9記載の発明による半導体チップ用キャリアの製造方法によれば、ウエハ状の誘電体基板の、半導体チップを搭載すべき主面に導体を形成する工程と、上記導体に対しパターニングを行い個々の上記半導体チップの入出力部に対応する部分に導体パターンを形成する工程と、上記ウエハ状の誘電体基板の主面に個別に位置合わせを行って上記半導体チップを実装する工程と、上記半導体チップが実装されたウエハ状の誘電体基板を分割し個別の半導体チップ用キャリアを得る工程とを含むようにしたので、個別チップの高周波性能の把握が可能であり、ミリ波帯においてもモジュール性能の低下を招かず、個別評価後にそのままの形でモジュール実装を実施できる半導体チップ用キャリアを低コストで製造できる効果がある。

【0133】また、本願の請求項10記載の発明による半導体チップ用キャリアの製造方法によれば、請求項9記載の半導体チップキャリアの製造方法において、上記半導体チップとしてMMICチップを用いるようにしたので、個別チップの高周波性能の把握が可能であり、ミリ波帯においてもモジュール性能の低下を招かず、個別評価後にそのままの形でモジュール実装を実施できるMMICチップ用キャリアを低コストで製造できる効果がある。

【0134】また、本願の請求項11記載の発明による半導体モジュールの製造方法によれば、請求項1ないし5のいずれかに記載の半導体チップ用キャリアに対し、フリップチップ方式により半導体チップを実装するとともに、構造体上の、上記キャリアを実装すべき領域に熱伝導性グリース、樹脂その他の熱伝導体を形成する工程と、上記熱伝導体上に上記半導体チップを実装したキャリアを個々に装着する工程とを含むようにしたので、個別チップの高周波性能の把握が可能であり、ミリ波帯においてもモジュール性能の低下を招かず、半導体チップの個別評価後にそのままの形でモジュール実装を実施できる半導体モジュールを低コストで製造できる効果がある。

【0135】さらに、本願の請求項12記載の発明による半導体モジュールの製造方法によれば、請求項11記

載の半導体モジュールの製造方法において、上記半導体チップとしてMMICチップを用いるようにしたので、個別チップの高周波性能の把握が可能であり、ミリ波帯においてもモジュール性能の低下を招かず、MMICチップの個別評価後にそのままの形でモジュール実装を実施できる半導体モジュールを低コストで製造できる効果がある。

【図面の簡単な説明】

【図1】 本願の請求項1, 2記載の発明による半導体チップ用キャリアを示す斜視図。

【図2】 本願の請求項1, 2記載の発明による半導体チップ用キャリアを示す側面図。

【図3】 本願の請求項1, 2記載の発明による半導体チップ用キャリアにMMICチップを実装しようとしている状態を示す斜視図。

【図4】 本願の請求項1, 2記載の発明による半導体チップ用キャリアにMMICチップを実装した状態を示す側面図。

【図5】 本願の請求項1, 2記載の発明による半導体チップ用キャリアに実装したMMICチップに対しRF特性の検査を実施しようとしている状態の一例を示す断面図。

【図6】 本願の請求項1, 2記載の発明による半導体チップ用キャリアに実装したMMICチップをモジュールに実装しようとしている状態の一例を示す斜視図。

【図7】 本願の請求項3記載の発明による半導体チップ用キャリアを示す斜視図。

【図8】 本願の請求項3記載の発明による半導体チップ用キャリアを示す側面図。

【図9】 本願の請求項3記載の発明による半導体チップ用キャリアにMMICチップを実装しようとしている状態を示す斜視図。

【図10】 本願の請求項3記載の発明による半導体チップ用キャリアにMMICチップを実装した状態を示す側面図。

【図11】 本願の請求項3記載の発明による半導体チップ用キャリアに実装したMMICチップに対しRF特性の検査を実施しようとしている状態の一例を示す断面図。

【図12】 本願の請求項3記載の発明による半導体チップ用キャリアに実装したMMICチップをモジュールに実装しようとしている状態の一例を示す斜視図。

【図13】 本願の請求項4記載の発明による半導体チップ用キャリアを示す斜視図。

【図14】 本願の請求項4記載の発明による半導体チップ用キャリアを示す側面図。

【図15】 本願の請求項4記載の発明による半導体チップ用キャリアにMMICチップを実装しようとしている状態を示す斜視図。

【図16】 本願の請求項4記載の発明による半導体チ

ップ用キャリアにMMICチップを実装した状態を示す側面図。

【図17】 本願の請求項4記載の発明による半導体チップ用キャリアに実装したMMICチップのRF特性の検査を実施しようとしている状態の一例を示す断面図。

【図18】 本願の請求項4記載の発明による半導体チップ用キャリアに実装したMMICチップをモジュールに実装しようとしている状態の一例を示す斜視図。

【図19】 本願の請求項5記載の発明による半導体チップ用キャリアを示す斜視図。

【図20】 本願の請求項5記載の発明による半導体チップ用キャリアを示す側面図。

【図21】 本願の請求項5記載の発明による半導体チップ用キャリアにMMICチップを実装しようとしている状態を示す斜視図。

【図22】 本願の請求項5記載の発明による半導体チップ用キャリアにMMICチップを実装した状態を示す側面図。

【図23】 本願の請求項6記載の発明による半導体チップ用キャリアにMMICチップを実装した状態を示す断面図。

【図24】 本願の請求項6記載の発明による半導体チップ用キャリアにMMICチップを実装した状態を示す断面図。

【図25】 本願の請求項7、8、11、12記載の発明による半導体モジュールおよびその製造方法において、半導体チップ用キャリアをモジュールへ実装しようとしている状態を示す斜視図。

【図26】 本願の請求項7、8、11、12記載の発明による半導体モジュールおよびその製造方法において、半導体チップ用キャリアをモジュールへ実装した状態を示す断面図。

【図27】 本願の請求項9、10記載の発明による半導体チップ用キャリアの製造方法による製造工程の第一段階を示す斜視図。

【図28】 本願の請求項9、10記載の発明による半

導体チップ用キャリアの製造方法による製造工程の第二段階を示す斜視図。

【図29】 本願の請求項9、10記載の発明による半導体チップ用キャリアの製造方法による製造工程の第三段階を示す斜視図。

【図30】 本願の請求項9、10記載の発明による半導体チップ用キャリアの製造方法による製造工程の第四段階を示す斜視図。

10 【図31】 本願の請求項9、10記載の発明による半導体チップ用キャリアの製造方法による製造工程の第五段階を示す斜視図。

【図32】 従来のMMICチップを用いたマルチチップモジュールの内部を示す斜視図。

【図33】 従来のMMICチップを用いたマルチチップモジュールの接続方法を示す斜視図。

【図34】 従来のウエハ状態でのフリップチップMMICチップを示す斜視図。

【図35】 従来のフリップチップMMICチップの実装状態を示す断面図。

20 【図36】 従来のウエハ状態でのフリップチップMMICチップの評価状態を想定した斜視図。

【図37】 従来のオンウエハ評価専用のパッドを有するMMICチップを示す斜視図。

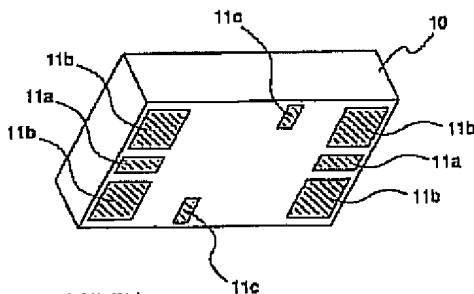
【図38】 従来のオンウエハ評価専用のパッドを有するMMICチップに対しオンウエハ評価を実施している状態を示す斜視図。

【図39】 特開平8-330696号公報に記載された、従来のコプレーナ型MMICチップ回路を示す断面図。

30 【符号の説明】

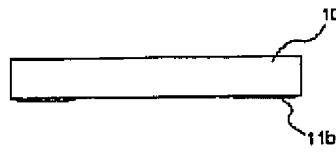
10 誘電体ボディ、11a RF信号用導体パターン、11b 接地用導体パターン、11c DC用導体パターン、1 MMICチップ、8 接続用パッド、14 凹面部、15 貫通孔、16 誘電体樹脂、17 熱伝導体、18 ヒートシンク、19 ダイシングゾ

【図1】

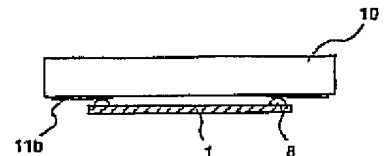


10: 誘電体ボディ
11a: RF信号用導体パターン
11b: 接地用導体パターン
11c: DC用導体パターン

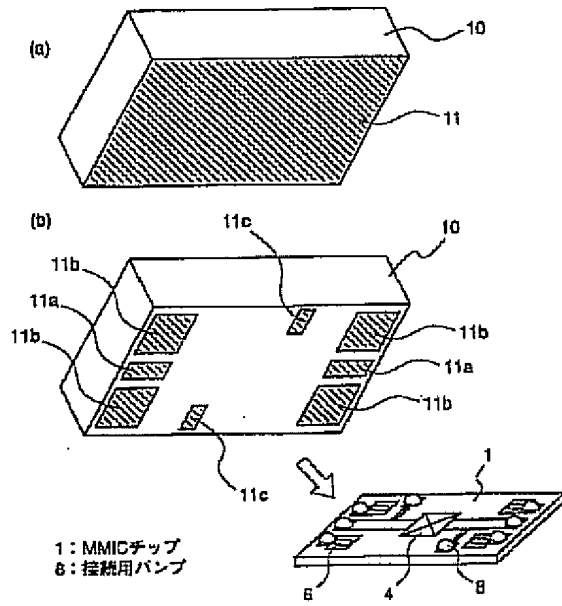
【図2】



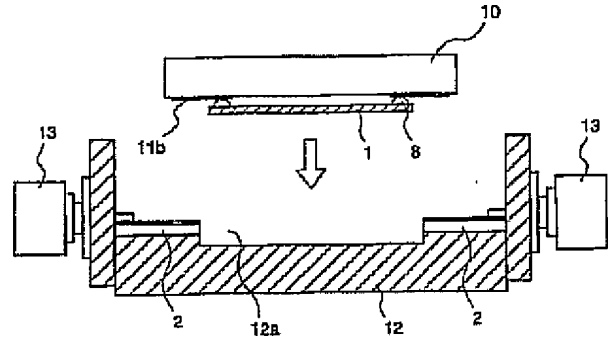
【図4】



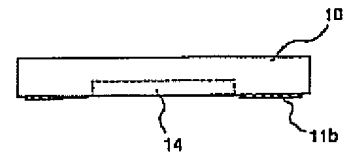
【図3】



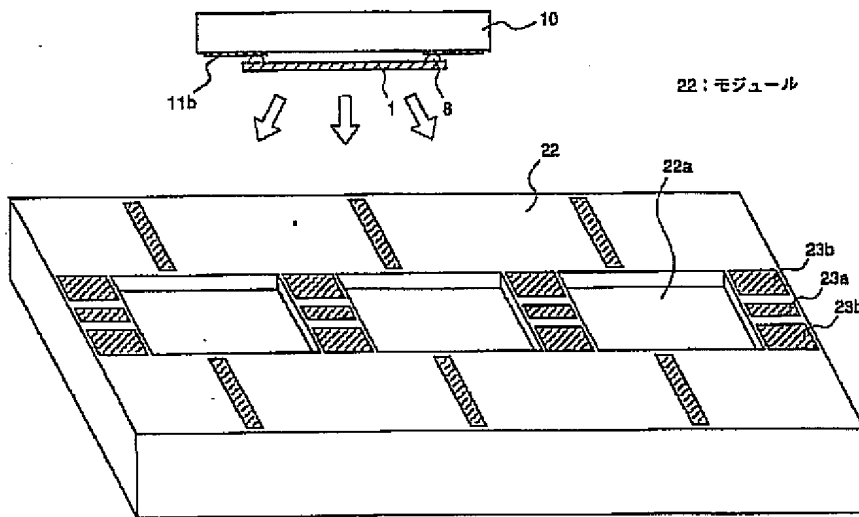
【図5】



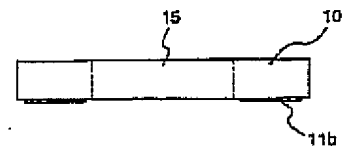
【図8】



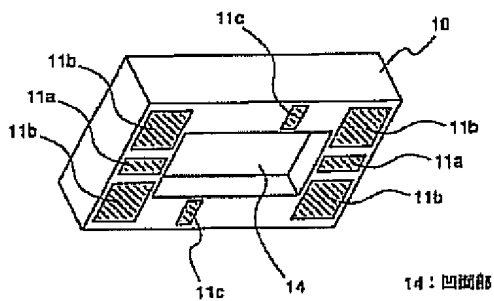
【図6】



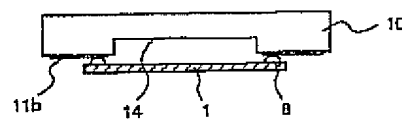
【図14】



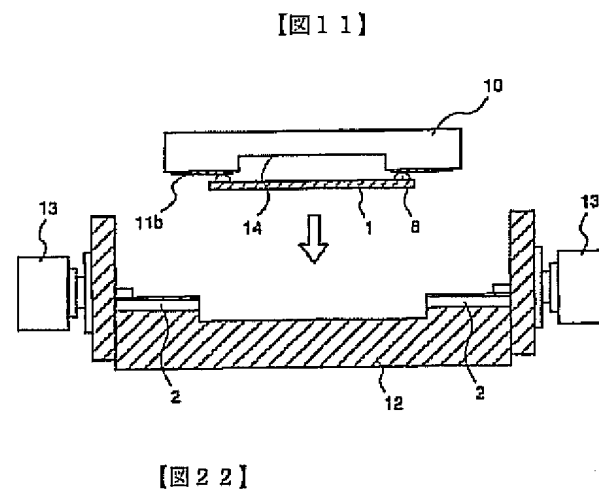
【図7】



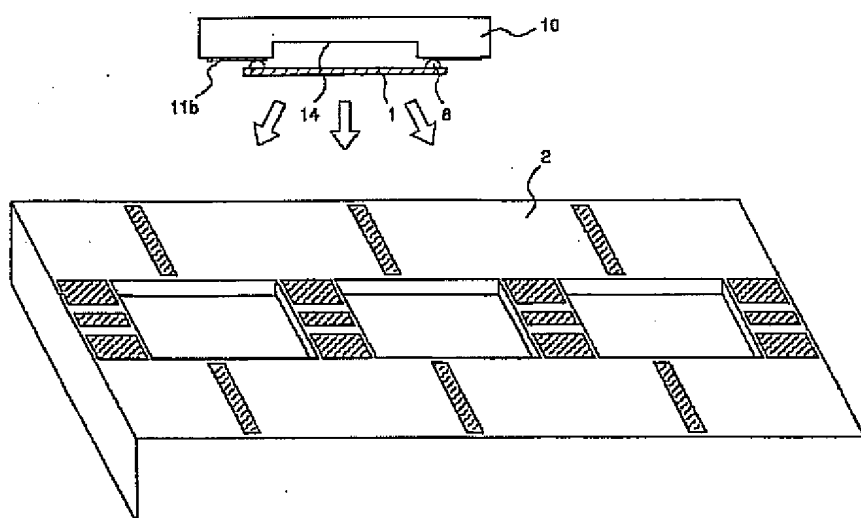
【図10】



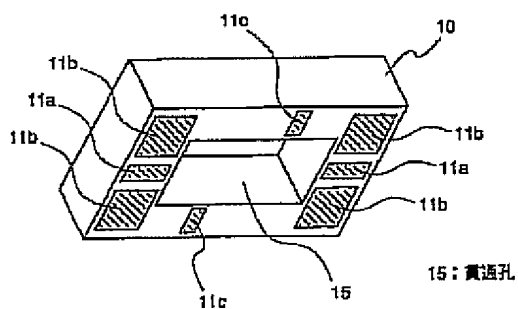
【图9】



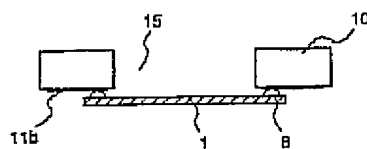
【圖 12】



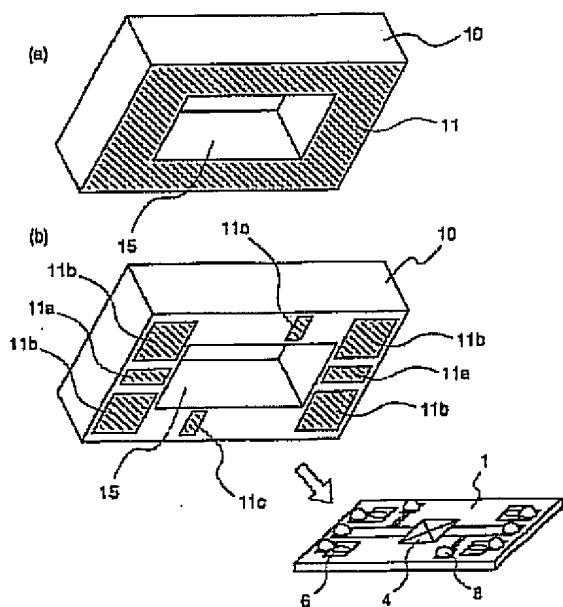
【圖 13】



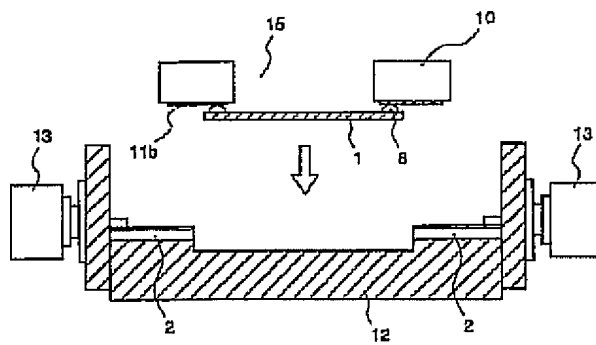
【图 16】



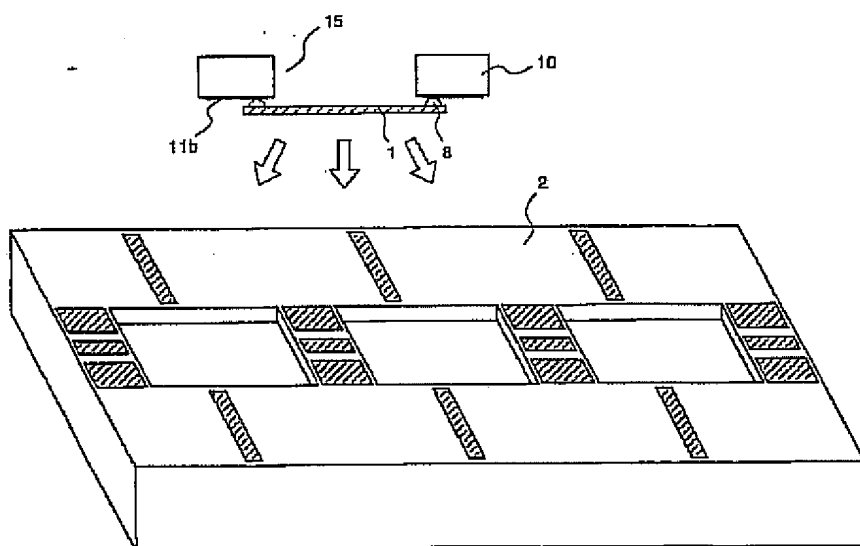
【図 15】



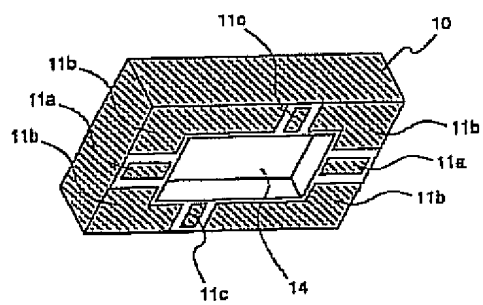
【図 17】



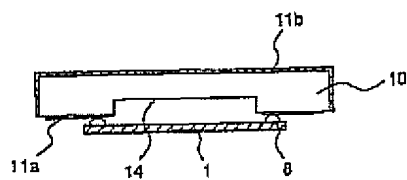
【図 18】



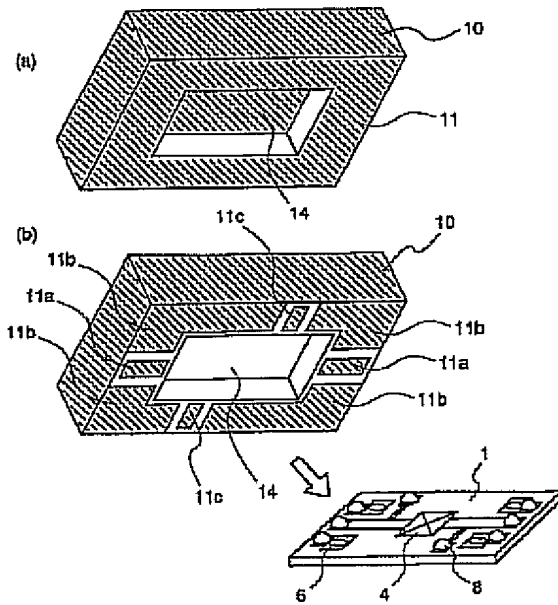
【図 19】



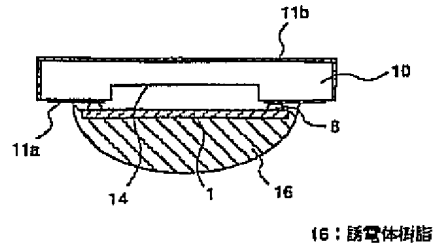
【図 20】



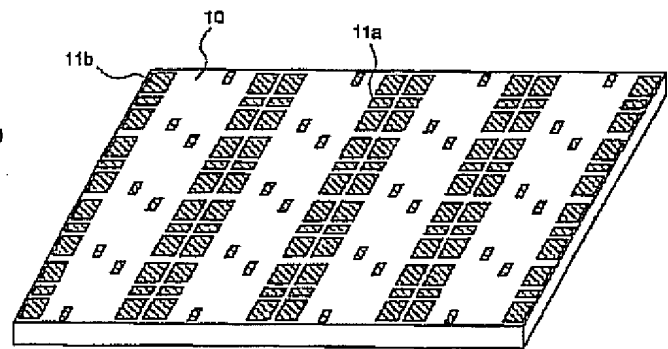
【図 2 1】



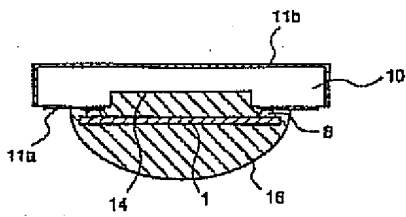
【圖 23】



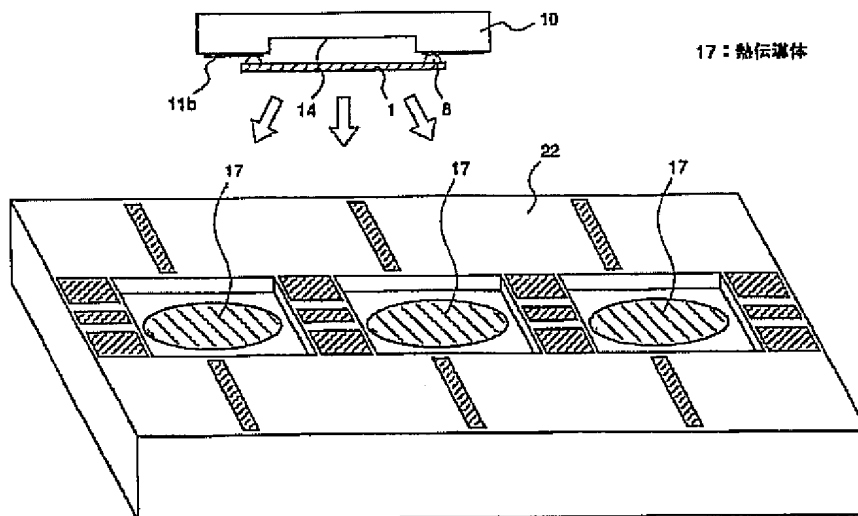
【圖 27】



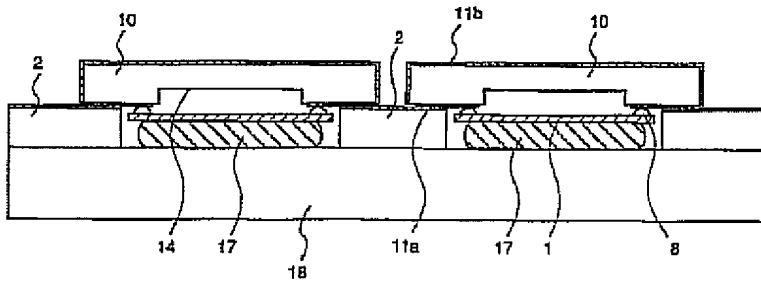
【圖 2 4】



【圖 25】

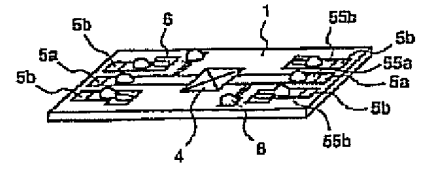


【図26】

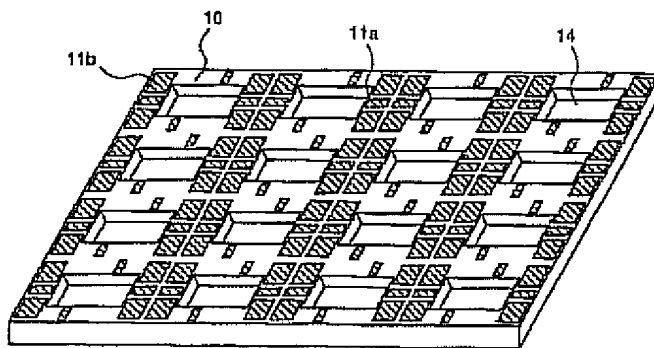


18: ヒートシンク

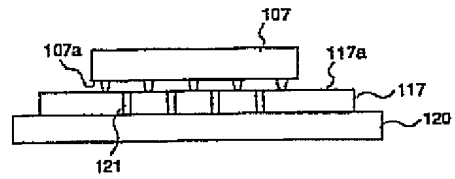
【図37】



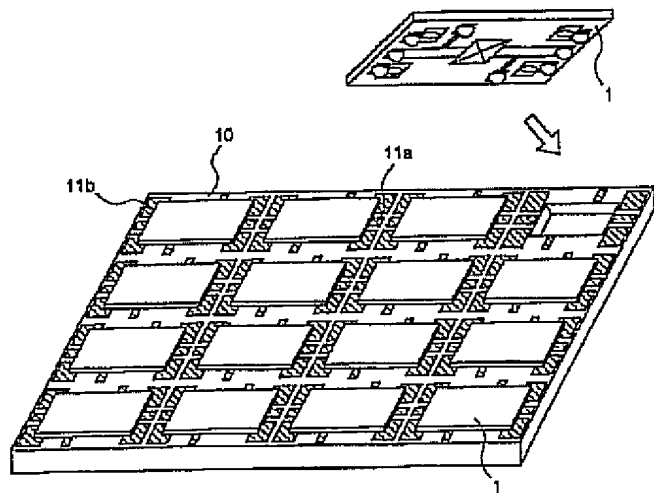
【図28】



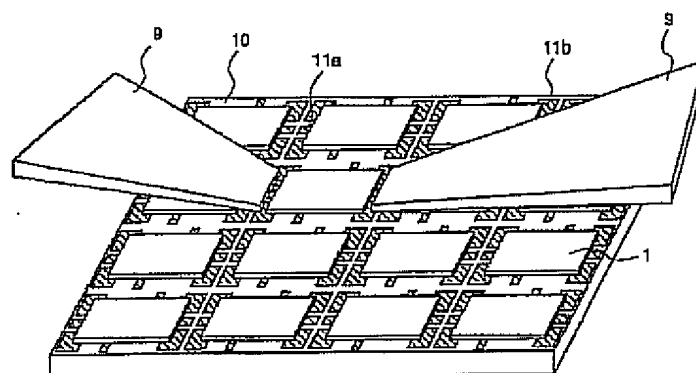
【図39】



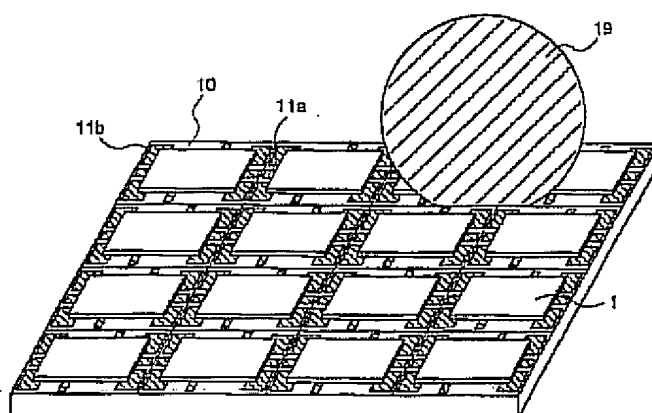
【図29】



【図 30】

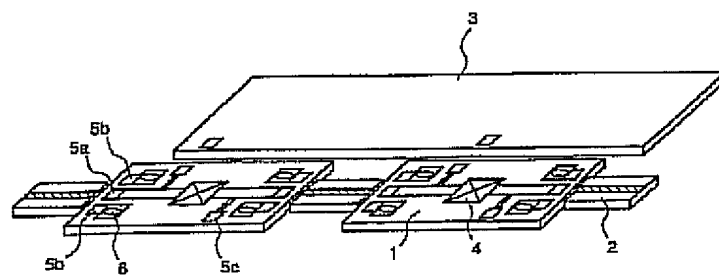


【図 31】

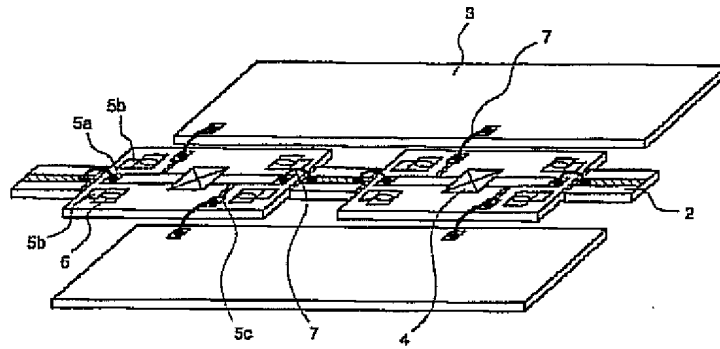


19: ダイシングソー

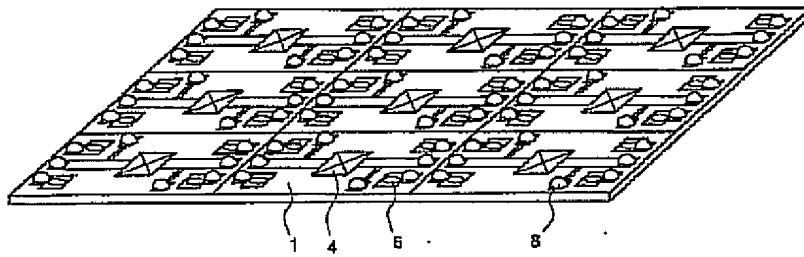
【図 32】



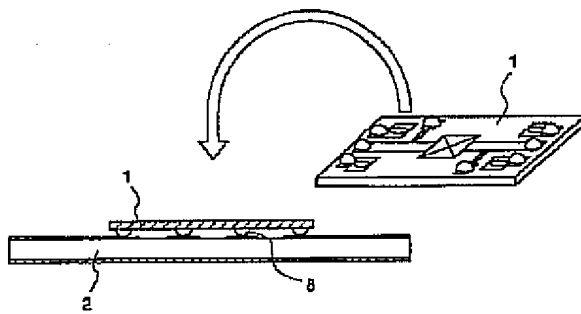
【図33】



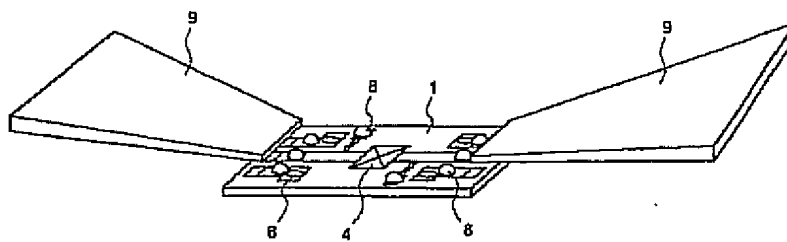
【図34】



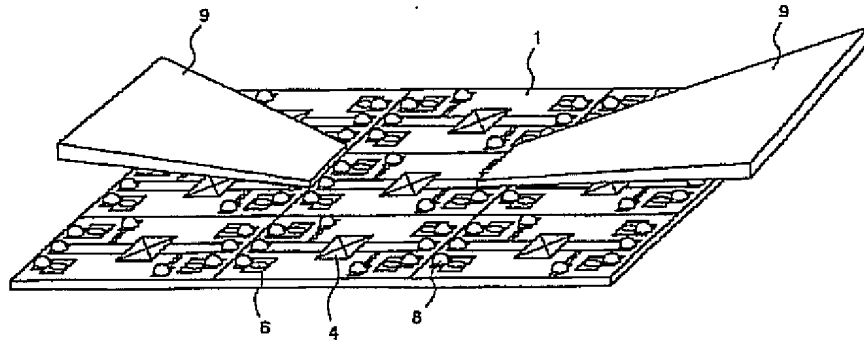
【図35】



【図38】



【図36】



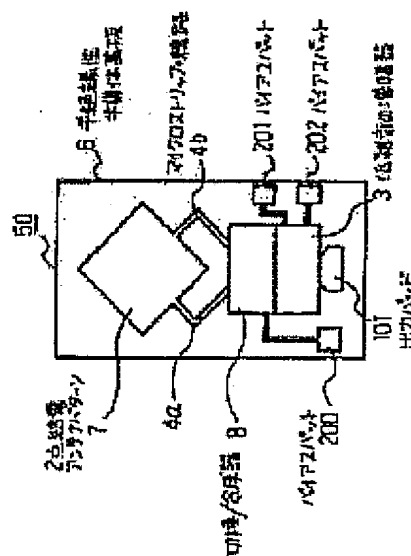
MICROWAVE INTEGRATED CIRCUIT AND ACTIVE ANTENNA AND CONVERTER USING THE CIRCUIT

Patent number: JP3196705
 Publication date: 1991-08-28
 Inventor: NODA, MASAKI
 Applicant: HITACHI LTD.
 Classification:
 international: H01Q21/24, H01Q23/00, H01Q21/24, H01Q23/00,
 (IPC1-7) H01Q21/24, H01Q23/00
 european:
 Application number: JP 9890335170 19891226
 Priority number(s): JP 9890335170 19891226

Report a data error here

Abstract of JP3196705

PURPOSE: To reduce the loss by a feeder, to prevent the deterioration in the C/N of a reception signal and to make the antenna highly efficient by forming an antenna pattern, an amplifier and a switching means for reception polarized wave front on one and same substrate so as to form a microwave IC. **CONSTITUTION:** A two-point feeding antenna pattern 7, a low noise amplifier 3 and a changeover device/synthesizer 8 selecting either of microstrip lines 4a, 4b to extract an output of the pattern 7 or synthesizing the both and outputting the result are integrated on a semi-insulating semiconductor substrate 6 in a microwave IC (input circuit) 50. A linearly polarized wave component orthogonal to each other is outputted to the lines 4a, 4b connecting to the output of the pattern 7. When a horizontal or vertical linearly polarized wave is received, the changeover device/synthesizer 8 selects the line 4a or 4b and when a circularly polarized wave is received, the linearly polarized wave component outputted to one of the lines 4a, 4b is retarded by $\pi/2$ and synthesized with the orthogonal linearly polarized wave component outputted to the other line 4a or 4b.



⑫ 公開特許公報(A) 平3-196705

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)8月28日

H 01 Q 21/24
23/007741-5 J
7741-5 J

審査請求 未請求 請求項の数 12 (全7頁)

⑭ 発明の名称 マイクロ波集積回路とそれを用いたアクティブアンテナ及びコンバータ

⑯ 特 願 平1-335170

⑰ 出 願 平1(1989)12月26日

⑱ 発 明 者 野 田 正 樹 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 並木 昭夫

明 細 書

1. 発明の名称

マイクロ波集積回路とそれを用いたアクティブアンテナ及びコンバータ

2. 特許請求の範囲

1. 半絶縁性半導体基板上に、水平偏波信号と垂直偏波信号をそれぞれ取り出すことのできる2給電平面アンテナ・パターンか、或いは水平偏波信号のみを取り出すことのできる1給電平面アンテナ・パターンと垂直偏波信号のみを取り出すことのできる1給電平面アンテナ・パターンから成る複数個の1給電平面アンテナ・パターンの何れかと、前記平面アンテナ・パターンから取り出される水平偏波信号と垂直偏波信号の何れか一方を選択するか又は両者を合成して出力する切換/合成器と、該切換/合成器の入力側か又は出力側に配置された増幅回路と、を一体化して構成したことを特徴とするマイクロ波集積回路。

2. 請求項1に記載のマイクロ波集積回路に

において、前記平面アンテナ・パターンは、空間インピーダンスに整合した形状・寸法をもち、所望の偏波信号を受信するに足るものであることを特徴とするマイクロ波集積回路。

3. 請求項1又は2に記載のマイクロ波集積回路において、前記平面アンテナ・パターンから取り出される水平偏波信号と垂直偏波信号の何れか一方を移相させるための移相器が一体化して挿入接続され、該移相器の出力と、移相されなかった他方の信号と、が前記切換/合成器で合成されて前記増幅回路に導かれるようにしたことを特徴とするマイクロ波集積回路。

4. 請求項3に記載のマイクロ波集積回路において、前記移相器が、特定周波数の信号を入力されると $\pi/2$ だけ位相をずらして出力する線路から成ることを特徴とするマイクロ波集積回路。

5. 請求項1又は2に記載のマイクロ波集積回路において、前記増幅回路が、前記平面アンテナ・パターンから取り出される水平偏波信号

と垂直偏波信号のそれぞれに対応した二つの増幅回路から成ることを特徴とするマイクロ波集積回路。

6. 請求項5に記載のマイクロ波集積回路において、前記二つの増幅回路の出力を前記切換／合成器に入力するようにしたことを特徴とするマイクロ波集積回路。

7. 請求項6に記載のマイクロ波集積回路において、前記二つの増幅回路の中の何れか一方の入力側と出力側の双方、又は入力側と出力側の何れかに、移相器が挿入接続されて一体化されたことを特徴とするマイクロ波集積回路。

8. 請求項7に記載のマイクロ波集積回路において、前記移相器が線路で構成され、その総線路長が、特定周波数の信号を入力されると $\pi/2$ だけ位相をずらして出力するに足る線路長であることを特徴とするマイクロ波集積回路。

9. 請求項1乃至8の中の任意の一つに記載のマイクロ波集積回路を複数個配置してその間を給電線で結合し各集積回路の出力を合成して

取り出すようにしたことを特徴とするアクティブアンテナ。

10. 請求項9に記載のアクティブアンテナにおいて、前記複数個のマイクロ波集積回路と、それらの間を結合して各出力の合成を行う給電線と、が同一の半絶縁性半導体基板上に一体形成されたことを特徴とするアクティブアンテナ。

11. 増幅器と発振器とミキサを主要構成要素として、入力されるマイクロ波帯の信号を中間周波数の信号に変換して出力するコンバータにおいて、その入力側に、1次放射器として、請求項1乃至8の中の任意の一つに記載のマイクロ波集積回路を接続したことを特徴とするコンバータ。

12. 請求項11に記載のコンバータにおいて、前記1次放射器としてのマイクロ波集積回路と、前記主要構成要素の一つである増幅器またはミキサが同一の半絶縁性半導体基板上に一体形成されたことを特徴とするコンバータ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、放送衛星電波や通信衛星電波を受信するアンテナ及びコンバータから成る入力回路として使用可能なマイクロ波集積回路（以下、マイクロ波ICということもある）に関するものである。

(従来の技術)

マイクロストリップ線路等を給電線として、複数の小さなアンテナパターンを結合し、その各出力を位相合成するようにして構成した平面アンテナは、衛星放送受信アンテナとして、パラボラアンテナとは異なり、家屋の屋根や壁に取り付けるのが簡単である他に、薄くて軽い構造であることから、屋外に携行して屋外で衛星放送を楽しむのにも用い得るという特徴を有している。

従来のかかる平面アンテナとしては、例えばテレビジョン学会技術報告、RE'87-1(1987)、第1頁から第6頁において論じられている如き、一点給電のアンテナパターンを複数設けてその各出力の位相合成をするものや、テレビジ

ョン学会技術報告、RE'87-8(1987)で論じられている如き、2点給電のアンテナパターンを複数設けて各パターン出力の位相合成をするもの等を挙げることができる。

従来の平面アンテナにおいては、マイクロストリップ線路などで構成した給電線により、複数の小さなアンテナパターンを結合して合成する際、その接続に用いた給電線による損失が大きく、そのためアンテナの効率が低くなり、パラボラアンテナと同じ利得を得ようとすると、それだけ多くのアンテナパターンを結合しなければならず、結果としてアンテナが大きくなってしまいう問題があった。

近年、平面アンテナの小型、高性能化を図るものとして、電子情報通信学会70周年記念総合全国大会、第3分冊、622、第3-64頁(1987)で論じられている如き、平面アンテナに低雑音増幅器などのアクティブ素子を付加し給電線における損失をできるだけ小さくして効率を改善したアクティブ平面アンテナが報告されている。

第11図は、上記報告に見られたアクティブ平面アンテナの構成図で、アクティブ平面アンテナの基本構成を示している。同図において、1は素子アンテナ、2は素子アンテナが集合したサブアレー、3は低雑音増幅器、4は給電線(A)、5は給電線(B)、100はアクティブ平面アンテナのアンテナ出力端子である。

なお、同図において、同一形状のブロックは同一の機能をもつものを表わしており、符号は省略している。

〔発明が解決しようとする課題〕

第11図に示した上記アクティブアンテナのアンテナ出力端子100での受信信号C/N比の劣化は、上記文献によれば、アンテナの実効面積が同じであれば、低雑音増幅器3の雑音指数と、給電線(A)4の損失が小さいほど低い。低雑音増幅器3に用いるGaAsFETの性能は、飛躍的に向上し、雑音指数は1dB以下のものが報告されている。このため給電線(A)4の損失を小さくすることが、アンテナの小型、高性能化において有

効であることが分かる。

また、静止衛星を用いたサービスは、放送衛星だけでなく通信衛星へも広がっており、受信する電波も国内の放送衛星では円偏波が、通信衛星では水平偏波と垂直偏波が、用いられるというように異なっており、それに対応して複数種類のアンテナやコンバータが必要であった。

本発明の目的は、給電線における損失を低減することにより効率を高めて相対的に小型化することを可能にし、しかも同一のもので円偏波、垂直偏波及び水平偏波のそれぞれに対応可能とした(アンテナ及びコンバータから成る入力回路として使用可能な)マイクロ波集積回路を提供することにある。

また本発明の他の目的は、該マイクロ波集積回路を用いたアクティブアンテナ及びコンバータを提供することにある。

〔課題を解決するための手段〕

上記目的達成のため、本発明では、半絶縁性半導体基板上に、水平偏波信号と垂直偏波信号をそ

れぞれ取り出すことのできる2給電平面アンテナ・パターンか、或いは水平偏波信号のみを取り出すことのできる1給電平面アンテナ・パターンと垂直偏波信号のみを取り出すことのできる1給電平面アンテナ・パターンから成る複数個の1給電平面アンテナ・パターンの何れかと、前記平面アンテナ・パターンから取り出される水平偏波信号と垂直偏波信号の何れか一方を選択するか又は両者を合成して出力する切換/合成器と、該切換/合成器の入力側か又は出力側に配置された増幅回路と、を一体化してマイクロ波集積回路を構成した。

また前記平面アンテナ・パターンから取り出される水平偏波信号と垂直偏波信号の何れか一方を移相させるための移相器を一体化して挿入接続し、該移相器の出力と、移相されなかった他方の信号と、を前記切換/合成器で合成して円偏波信号を受信可能にした。

更に本発明の他の目的を達成するために、上記マイクロ波集積回路を複数個配置してその間を給

電線で結合し各集積回路の出力を合成して取り出すようにしてアクティブアンテナを構成した。また、増幅器と発振器とミキサを主要構成要素として、入力されるマイクロ波帯の信号を中間周波数の信号に変換して出力するコンバータにおいて、その入力側に、1次放射器として、前記マイクロ波集積回路を接続した。

〔作用〕

上記マイクロ波集積回路によれば、アンテナ・パターン、増幅回路、切換/合成器、が最短距離で接続されているため、それらの間を接続する給電線による損失を少なくすることができる。また増幅回路を切換/合成器の入力側(前段)に配置すれば切換/合成器による損失もすることができる。また切換/合成器により、同一のマイクロ波集積回路により、水平偏波、垂直偏波、円偏波を切り換えて受信することができる。

上記マイクロ波集積回路の損失を少なくして高効率化したことにより、それを用いるアクティブアンテナ及びコンバータ著しく小型化することが

できる。

〔実施例〕

以下、本発明の実施例を図により説明する。

第1図は本発明の第1の実施例を示す平面図である。第1図において、3は低雑音の増幅器、4(4a, 4b)はマイクロストリップ線路(給電線)、5は半絶縁性半導体基板、7は2点給電アンテナパターン、8は切換/合成器、101は出力パッド、200, 201, 202はそれぞれバイアスパッドである。

本発明にかかるマイクロ波IC(入力回路)50は、半絶縁性半導体基板6(例えばGaAs基板)の上に、2点給電アンテナパターン7と、低雑音の増幅器3(たとえばHEMT素子による増幅器)と、2点給電アンテナパターン7の出力を取り出すためのマイクロストリップ線路4aと4bの何れかを選択あるいは両者を合成して出力する切換/合成器8と、が一体形成されたマイクロ波ICである。

ここで、2点給電アンテナパターン7は、方形

離が小さくてすみ、受信信号のCN比劣化を防止でき、アクティブアンテナ(能動素子としての増幅器を含むアンテナ)として小形・高効率化が望まれる。また、受信する偏波が直線偏波であろうと円偏波であろうと、これを選択受信できるため、例えば通信衛星からの水平あるいは垂直偏波に対しても対応でき、また国内衛星放送である円偏波の電波にも対応できて好都合である。

第2図は、本発明の第2の実施例を示す平面図である。本実施例は、第1図に示した第1の実施例における2点給電アンテナパターン7を2つの1点給電アンテナパターン9a, 9bに置き換えたものである。1点給電アンテナ9a, 9bも方形マイクロストリップアンテナであり、9aと9bでは、その出力を取り出す点の位相が90度ずれていることから、第1の実施例における2点給電アンテナパターン7と同様な出力が得られ、第1の実施例と同じ機能をもつ。

第3図は、直線偏波の受信、選択に着眼した第3の実施例を示す回路ブロック図である。同図に

マイクロストリップアンテナと呼ばれ、その出力側に接続されたマイクロストリップ線路4aと4bには、互いに直交する直線偏波成分が出力される。すなわち、水平偏波あるいは垂直偏波のみを受けているときは、それが水平偏波であるか垂直偏波であるかに応じて、マイクロストリップ線路4a, 4bの何れか片側にしか信号が出力されないが、円偏波を受けているときは、両方の線路4a, 4bに互いに直交する直線偏波成分が出力される。

したがって、水平か垂直の何れかの直線偏波を受けるには、切換/合成器8によりマイクロストリップ線路4aか4bの一方を選択すればよく、円偏波を受けるには、切換/合成器8により、マイクロストリップ線路4aと4bの何れか一方に出力される直線偏波成分を $\pi/2$ 遅らせ、他方に出力される直交した直線偏波成分と合成すればよい。

このような構成を取ることににより、アンテナパターン7と切換/合成器8と増幅器3との間の距

において、前述の実施例と同じ符号を付けたものは、同じ材料ブロックを示す。スイッチ10はアンテナパターン9aと9bの何れか一方からの信号を選択し増幅器3へ入力する。端子203はスイッチ10の切換を制御する制御信号入力端子である。

第4図は、円偏波の受信に対応した第4の実施例を示す回路ブロック図である。同図において11は特定の周波数をもつ入力信号に対して $\pi/2$ の移相差を与えて出力する移相器である。円偏波を受信する場合には、アンテナパターン9aと9bで互いに直交する直線偏波成分が受信されるので、そのうち的一方を移相器11で $\pi/2$ 遅らせた後、他方と合成することにより、円偏波が取り出され、受信可能となる。

第5図は、第4図に示した第4の実施例における移相器の具体例としてマイクロストリップ線路を示した平面図である。第5図で移相器は、 $\lambda g/4$ の長さのマイクロストリップ線路11'(λg は線路の伝搬定数)により実現している。

第6図は、増幅器として3aと3bの2つを用

いた第5の実施例を示す回路ブロック図である。本実施例は、第3図に示した第3の実施例と同様に直線偏波の選択受信に際し、アンテナパターン9aと9bの各出力をそれぞれ増幅器3aと3bで増幅した後、増幅器3aと3bの出力側に設けられたスイッチ12により偏波面の選択を行うものである。何れを選択するかは、制御信号端子204からの信号により行なわれる。

スイッチ12を増幅器(3a, 3b)の出力側に設けることにより、スイッチ12で発生する損失による受信信号CN比の劣化を見えないようにすることができる。つまりスイッチ12の入力側(前段)に増幅器があると、スイッチ12による損失は、その増幅器の増幅利得分の1になるので、実質的に見えなくなるわけである。

第7図は、第6の実施例を示す回路ブロック図である。本実施例は、第4図に示した第4の実施例と同様の円偏波受信の場合の実施例で、アンテナパターン9aと9bの各出力はそれぞれ増幅器3aと3bで増幅され、増幅器3bの出力側に移

相器11を配置し、移相器11の出力を増幅器3aの出力と合成して円偏波を得ている。このように移相器11を増幅器の出力側に設けることにより、移相器11で発生する損失による受信信号CN比劣化と、増幅器3aと3bの入力信号レベルのアンバランスを防止することができる。

第8図は、第7図に示す第6の実施例で、移相器11として、 $(\lambda_g/4)$ の長さのマイクロストリップ線路11'を用いた例を示している。

第9図は、本発明にかかるマイクロ波IC12を複数個を基板13上に配置して出力を増大させた第7の実施例を示している。各マイクロ波ICの出力は給電線5によって電力合成され、端子102より出力される。各マイクロ波IC12は増幅器を内蔵しているため、給電線5による損失は見えない。

第10図は、本発明にかかるマイクロ波IC12をコンバータの入力、すなわち一次放射器として用いた第8の実施例を示す回路図である。放送衛星や通信衛星を受信する際に用いるコンバータ

13は、マイクロ波帯の増幅器14(14a, 14b)とミキサ15と発振器16と中間周波帯の増幅器17(17a, 17b, 17c)を主要な構成要素とし、素子103に入力されたマイクロ波帯の信号は、周波数変換され、中間周波数か端子104へ出力される。

本発明にかかるマイクロ波IC12の出力101をコンバータ13の入力103に接続しているわけで、従来導波管で構成されていた一次放射器に対して著しい小型化が図れる。また、コンバータ13の主要部18をマイクロ波ICで構成し、かつ本発明にかかるマイクロ波IC12と同一の半絶縁性半導体上に一体構成すれば、さらに小型化を図ることができる。

実施例3から6と実施例8の説明(第3図乃至第8図の説明)は一点給電アンテナパターンを用いるものとして行ってきたが、2点給電アンテナパターンを用いても同様な効果が得られるのは明らかである。またアンテナパターンも方形に限られず円形でもよく、その他、種々の変形が可能

である。

〔発明の効果〕

本発明によるマイクロ波ICは、以上説明したように構成されているので以下に記載されるような効果を奏する。

アクティブアンテナの基本ユニットであるアンテナパターンと増幅器と受信する偏波面の切換え手段を同一の半絶縁性半導体基板上に構成してマイクロ波ICとしたことにより、アンテナパターンと増幅器と偏波面の切換え手段とが最短距離にて接続されるため、各部を接続する給電線の長さが短くてよく従って給電線による損失を小さくでき、受信信号のCN比劣化を抑えることができる。

また、受信する偏波面の切換え手段を内蔵するため、本マイクロ波ICを複数並べ、電力合成することにより種々の偏波面に対応した、小型で高効率のアクティブアンテナが構成される。また、パラボラアンテナを用いるコンバータにおいて、パラボラアンテナに代わる1次放射器としても本発明にかかるマイクロ波ICは使用できるので、

マイクロ波受信機の著しい小型化が図れる。

4. 図面の簡単な説明

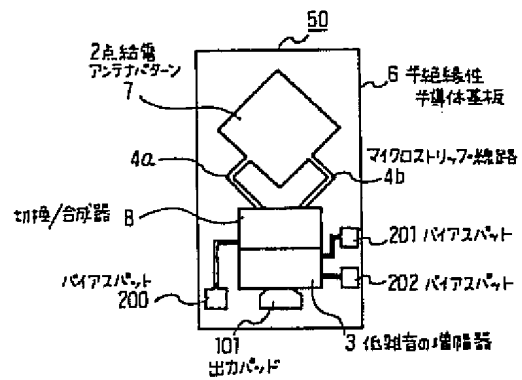
第1図乃至第8図はそれぞれ本発明の一実施例を示す平面図、第9図は本発明にかかるマイクロ波ICを多数合成して用いる実施例を示す平面図、第10図は本発明にかかるマイクロ波ICを1次放射器として用いた実施例を示す回路図、第11図はアクティブアンテナの従来例の構成を示す斜視図、である。

符号の説明

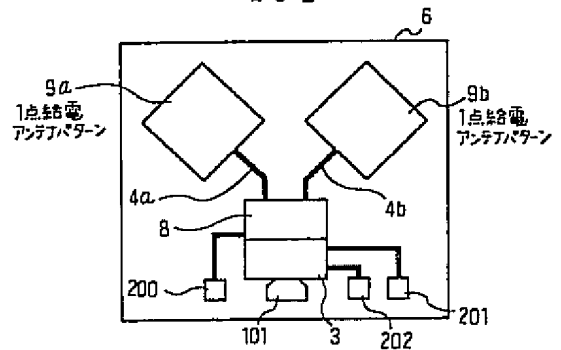
3…増幅器、6…半絶縁性半導体基板、7…2点給電アンテナパターン、8…切換/合成器、9…1点給電アンテナパターン

代理人 弁理士 並 木 昭 夫

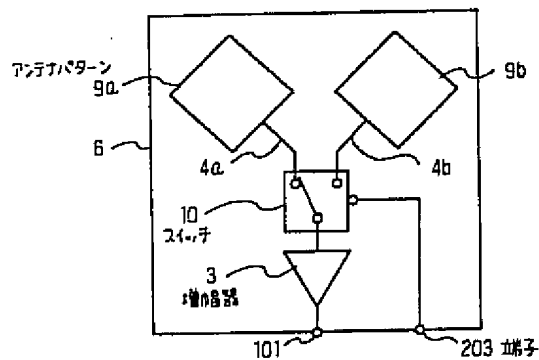
第1図



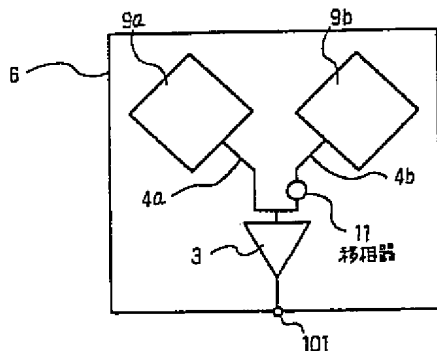
第2図



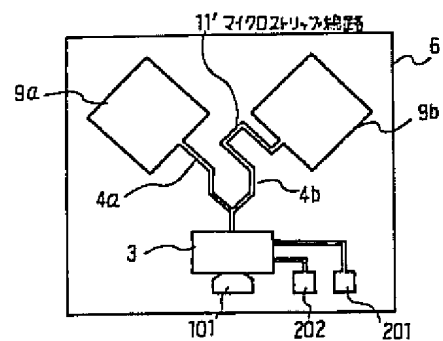
第3図



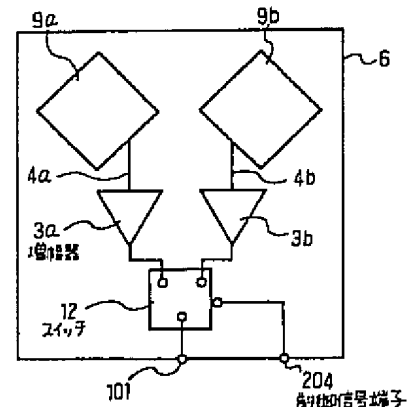
第4図



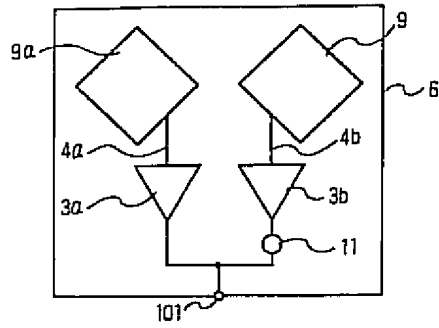
第5図



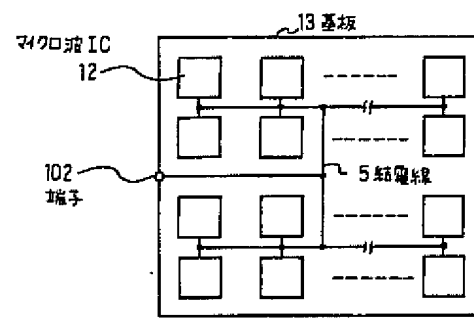
第6図



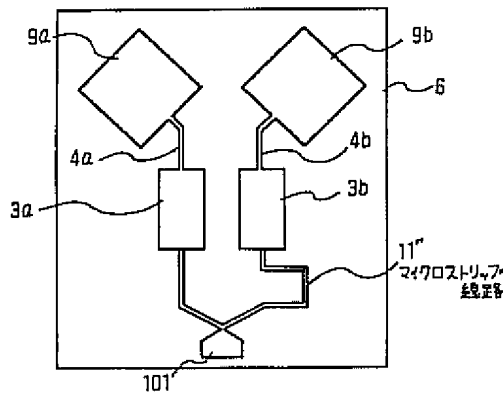
第 7 図



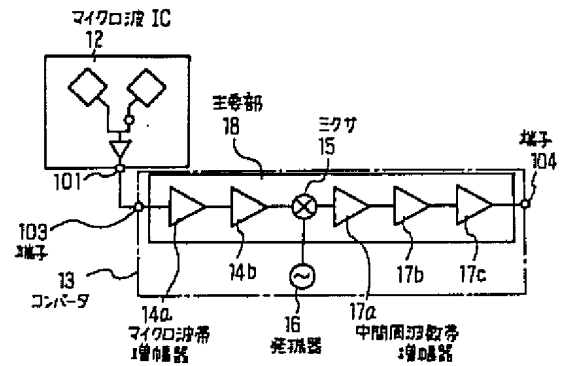
第 8 図



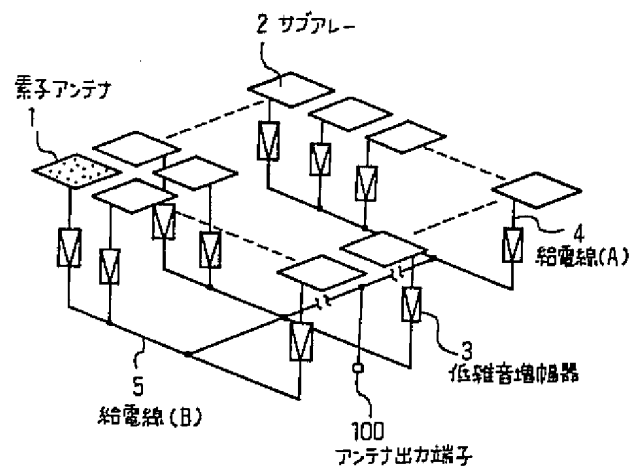
第 9 図



第 10 図



第 11 図



ACTIVE PHASED ARRAY ANTENNA

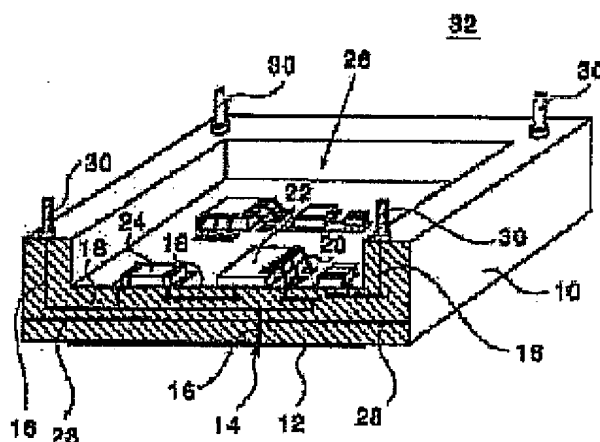
Patent number: JP5160635
 Publication date: 1993.06.25
 Inventor: SUZUKI RYUTARO, NAKAJIMA HIROSHI
 Applicant: YUSEI SHO, TSUSHIN SOGO KEN, NIPPON CHEMICON
 Classification:
 - International: H05K1/00, H05K1/03, H05K1/00, H05K1/03 (IPC1:7)
 - European: H01L23/12, H01L23/15, H01Q21/22, H01Q23/00
 Application number: JP19910319255, 19911203
 Priority number(s): JP19910319255, 19911203

Report a data error here

Abstract of JP5160635

PURPOSE: To provide an active phased array antenna which reduces losses by miniaturization of the circuit and has the whole of the circuit miniaturized and furthermore improves antenna characteristics.

CONSTITUTION: An antenna unit has an antenna pattern 12 to be an antenna element formed on one face of a ceramic multilayered substrate 10 sintered at a low temperature. A feed point 14 of the antenna element is electrically connected to an HIC part 26 consisting of a high frequency amplifying IC chip 20, a chip capacitor 24, etc., through a conductor of a via hole 16, an inner conductor 18, a bonding wire 20, etc. A shielding inner conductor 28 is provided between an antenna element and an HIC part. Copper or silver materials are used as materials of the antenna element and conductors such as an inner conductor. Plural pins 30 for mechanical and electric connection to a mother board omitted in the figure are brazed on the ceramic multilayered substrate. Plural units obtained in this manner are attached to the mother board.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-160635

(43) 公開日 平成 5 年 (1993) 6 月 25 日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 Q 23/00		6959-5 J		
H 0 1 L 23/12				
23/15				
		7352-4M	H 0 1 L 23/12	B
		7352-4M	23/14	C

審査請求 未請求 請求項の数 5 (全 5 頁) 最終頁に続く

(21) 出願番号 特願平3-319255

(22) 出願日 平成 3 年 (1991) 12 月 3 日

(71) 出願人 391027413

郵政省通信総合研究所長

東京都小金井市貫井北町 4 丁目 2 番 1 号

(71) 出願人 000228578

日本ケミコン株式会社

東京都青梅市東青梅 1 丁目 167 番地の 1

(72) 発明者 鈴木 龍太郎

東京都小金井市貫井北町 4 丁目 2 番 1 号

郵政省通信総合研究所内

(72) 発明者 中島 寛

東京都青梅市東青梅一丁目167番地の1

日本ケミコン株式会社内

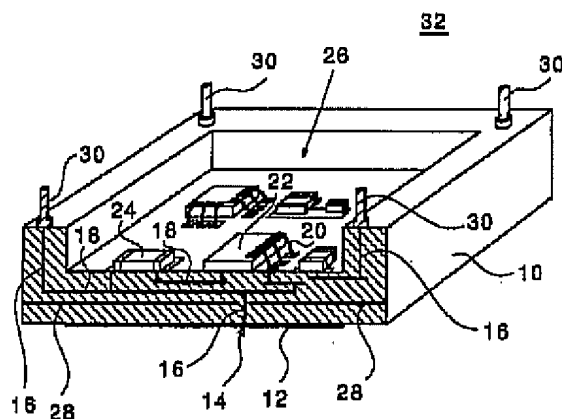
(74) 代理人 弁理士 浜田 治雄

(54) 【発明の名称】 アクティブフェイズドアレイアンテナ

(57) 【要約】

【目的】 回路の小形化による低損失化、回路全体のより一層の小形化及びアンテナ特性改善を図ることができるアクティブフェイズドアレイアンテナを得る。

【構成】 アンテナユニットは、低温焼成セラミック多層基板 10 の一方の面に形成したアンテナ素子となるアンテナパターン 12 を有する。アンテナ素子の給電点 14 からはビアホール 16 の導体、内部導体 18、ボンディングワイヤ 20 等を介して高周波増幅 IC チップ 20、チップコンデンサ 24 等で構成される H I C 部 26 へ電気的に接続する。アンテナ素子と H I C 部との間にシールド用の内部導体 28 を設ける。アンテナ素子及び内部導体等の導電体は銅又は銀系材料を用いる。図示しないマザーボードへの機械的及び電氣的接続用のピン 30 を複数個セラミック多層基板にロウ付けする。このユニットを複数個マザーボードへ取り付けする。



1

【特許請求の範囲】

【請求項1】 セラミック多層基板の一方の表面に形成されたアンテナパターンの導体層と、前記セラミック多層基板の他方の表面に形成した前記導体層への給電点に接続される増幅器と、該増幅器と外部との電氣的接続を得るための端子とからなるアンテナユニットを備えることを特徴とするアクティブフェイズドアレイアンテナ。

【請求項2】 前記セラミック多層基板は、ガラス・セラミックからなる低温焼成セラミック多層基板である請求項1記載のアクティブフェイズドアレイアンテナ。

【請求項3】 前記導体層は、銅または銀系材料である請求項1記載のアクティブフェイズドアレイアンテナ。

【請求項4】 前記アンテナユニットが送信用のアンテナユニットと受信用のアンテナユニットにそれぞれ構成されると共に、前記送信用のアンテナユニットと受信用のアンテナユニットとが混在して配置されてなることを特徴とする請求項1記載のアクティブフェイズドアレイアンテナ。

【請求項5】 前記混在して配置された送信用の前記アンテナユニットと受信用の前記アンテナユニットとは、隣接して交互に基盤目状に配置されてなる請求項4記載のアクティブフェイズドアレイアンテナ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、衛星を利用して自動車、船舶、航空機等の移動体を対象とする移動体衛星通信に好適に使用することができるアクティブフェイズドアレイアンテナに関し、特にセラミック多層基板を用いたアクティブフェイズドアレイアンテナに関する。

【0002】

【従来の技術】一般に、フェイズドアレイアンテナは、複数のアンテナ素子を基板上に配列して構成され、各アンテナ素子の位相や振幅を制御してビーム自体の形を変えるビーム形成が可能である。このため、不要な干渉波に対する感度を小さくしたり、無くしたりすることができる。また、電子的に各アンテナ素子の位相を変化させることで、アンテナのビームを高速で空間走査できるという特徴を有している。このような特徴を有するフェイズドアレイアンテナは、これまで主としてレーダの分野で使用されてきたが、近年移動体衛星通信の分野にも導入が検討されてきている。最近では、マイクロ波集積回路（以下、マイクロ波ICと称する）技術の進展により増幅器、移相器等のマイクロ波回路素子の小型・軽量化が可能になってきたことから、アンテナ素子とこれらのマイクロ波回路素子を一体化したアクティブフェイズドアレイアンテナ、すなわち、個々のアンテナ素子が増幅、移相、周波数変換等の機能を有するものが実現されている。

【0003】

【発明が解決しようとする課題】しかしながら、実現さ

2

れているアクティブフェイズドアレイアンテナは、一体化したとはいえ、アンテナ素子の裏側に受信低雑音増幅器や送信電力増幅器のユニットを配置し、アンテナ素子とユニット間はコネクタ等で接続される構造であり、配線や組み立て上の問題、小形化の等の点で問題があった。また、一体化するためにアンテナ素子を配置する基板として、マイクロ波領域で一般的に用いられるテフロン（登録商標）基板を使用する場合、テフロン基板は柔軟なため機械的強度を有する支持構造が必要となる難点があり、機械的強度の十分な通常の高温焼成セラミック基板を用いる場合には導体金属として高融点のモリブデンまたはタングステンといった材料を使用せざるを得ないため抵抗値が高くなり高周波用途に適さないと言う難点があった。従って、高周波回路用と同時にアンテナ用基板にも好適に使用できる基板が望まれていた。

【0004】そこで、本発明の目的は、回路の小形化による低損失化、回路全体のより一層の小形化、アンテナ特性の改善などを図ることができるセラミック多層基板を用いたアクティブフェイズドアレイアンテナを提供するにある。

【0005】

【課題を解決するための手段】本発明に係るアクティブフェイズドアレイアンテナは、セラミック多層基板の一方の表面に形成されたアンテナパターンの導体層と、前記セラミック多層基板の他方の表面に形成した前記導体層への給電点に接続される増幅器と、該増幅器と外部との電氣的接続を得るための端子とからなるアンテナユニットを備えることを特徴とする。

【0006】前記セラミック多層基板は、ガラス・セラミックからなる低温焼成セラミック多層基板を用いれば好適である。

【0007】また、前記導体層には銅または銀系材料を用いることができる。

【0008】さらに、前記アンテナユニットは送信用のアンテナユニットと受信用のアンテナユニットにそれぞれ構成されると共に、前記送信用のアンテナユニットと受信用のアンテナユニットとを混在して配置することができる。

【0009】前記混在して配置された送信用の前記アンテナユニットと受信用の前記アンテナユニットとは、隣接して交互に基盤目状に配置されれば好適である。

【0010】

【作用】本発明に係るアクティブフェイズドアレイアンテナによれば、テフロン基板よりも誘電率の高い低温焼成セラミック多層基板上にアンテナパターンを形成するため、波長短縮によって回路サイズを小さくすることができる。また、低温焼成セラミック多層基板は機械的強度が高いため特別な支持構造を必要としないと共に、導電体に銅、銀系の導電率の高い金属材料を使用することができるため、高周波回路の基板としても有効である。

3

従って、回路の小形化による低損失化、回路全体のより一層の小形化、アンテナ特性の改善などを図ることができる

【0011】

【実施例】次に本発明に係るアクティブフェイズドアレイアンテナの実施例につき、添付図面を参照しながら以下詳細に説明する。

【0012】図1は、本発明の一実施例を示すアクティブフェイズドアレイアンテナのアンテナユニットの要部断面外観斜視図である。図1において、参照符号10はアルミナ粉末およびガラス粉末等からなるセラミック材料を後述する製造工程により低温焼成して作製したセラミック多層基板を示し、このセラミック多層基板10の一方の面には低抵抗率の銅または銀パラジウムといった銀系の導電体金属で構成したアンテナ素子となるアンテナパターン12を形成する。アンテナパターン12の給電点14からはビアホール16の導体、内部導体18、ボンディングワイヤ20等を介してセラミック多層基板10の他方の面上に設けた高周波増幅ICチップ22、チップコンデンサ24等で構成されるハイブリッドIC部（以下、HIC部と称する）26へ電気的に接続される。

【0013】また、アンテナパターン12とHIC部26との間にシールド用の広い面積の内部導体28を設け、この内部導体28は接地レベルに接続するよう構成している。図示しないマザーボードへの機械的および電気的接続のためのピン30が、セラミック多層基板10の他方の側面周辺に複数個設けられる。本実施例の場合、セラミック多層基板10はHIC部26を収納するパッケージ形状となるように構成され、図示しないキャップでセラミック多層基板10のHIC部26側を覆う。なお、アンテナパターン12上の表面は、耐湿および耐候性のコーティング処理を施すことも可能である。

【0014】結局、このように構成されるアンテナユニット32は、表面にアンテナ素子を持つマイクロ波ICとなり、アクティブフェイズドアレイアンテナを構成するには、図2および図3に示すように複数個のアンテナユニット32をマザーボード34上にLSIを並べるように搭載する。図2は、アンテナユニット32を送信用アンテナユニット32-TXと受信用アンテナユニット32-RXに構成し、交互に基盤目状に配置したアクティブフェイズドアレイアンテナを示す平面図であり、図3は図2に示したアクティブフェイズドアレイアンテナの側面図である。なお、マザーボード34は高周波特性を問題としないプリント基板等を用い、マザーボード34上には各アンテナユニットを接続するプリント配線および図示しない外部の制御回路との接続用配線等が施される。

【0015】このように配置構成されたアクティブフェイズドアレイアンテナは、各アンテナユニット32への

4

給電位相を外部の図示しない制御回路により電子的に制御して、放射ビーム方向を高速で変えたりする所望のビーム形成動作を行う。従って、従来の位相処理をしてから増幅するフェイズドアレイアンテナに比べ、アクティブフェイズドアレイアンテナは個々のアンテナユニット32に増幅回路が設けられ、増幅してから位相処理を行うのでこの間の損失が低減され、小形化が可能となる。

【0016】ここで一例として、周波数帯が1.5GHz用の場合、各アンテナユニット32のセラミック多層基板10の大きさは9cm角程度の面積である。このセラミック多層基板10上に直径4cmの円形のアンテナパターンを形成した結果、アンテナ素子の特性として左旋円偏波（正旋）での利得が0°の所で5dBi程度、アンテナのビーム幅は3dB幅で100°程度が得られ、フェイズドアレイ化する場合の単体アンテナ特性として良好なものが得られている。

【0017】図4は、本発明に係るアクティブフェイズドアレイアンテナで使用するアンテナユニット32のセラミック多層基板製造工程の流れを概略的に示す工程線図である。図4を用いて、アンテナユニット32のセラミック多層基板10の製造工程を以下に説明する。

【0018】まず、印刷工程では、PVA（ポリビニルアルコール）等の有機物をバインダにしてアルミナ粉末およびガラス粉末等を混合したスラリー状のセラミック材料を、所望厚さのシート状に成形して乾燥させた複数枚のグリーンシート上の所望の個所にそれぞれ異なるビアホールを形成し、ビアペーストを充填後、それぞれのグリーンシート上にアンテナパターンや所望の配線パターンを銅あるいは銀系の低融点金属の導体ペーストを用いて印刷し、乾燥する。

【0019】次にプレス工程では、前記印刷工程を終了した導体パターンの異なる複数枚のグリーンシート同士を所望枚数積層し、適度な圧力と温度のもとで圧着する。この時、一方の表面にはアンテナパターン12が図1で示すように露出しており、内部導体18およびビアホール16がセラミック多層基板10内部の所要の個所で適当に接続されると共にシールド用の導体層28も形成され、他方の表面にはICやその他の回路素子を接続する配線等の外部導体パターンが形成される。

【0020】切断工程では、プレス工程で積層されたグリーンシートを所望の外形寸法に切断する。

【0021】バーニアアウト工程はグリーンシートを形成する際に使用されたバインダの有機物を分解蒸発させる工程であり、約300～400℃程度の温度で加熱する。

【0022】更に、焼成工程では、約900～1000℃程度の低温で焼成する。この焼成工程によりグリーンシートは、アンテナ回路基板としての機械的強度を十分有する誘電率5～8の固体セラミック基板となる。

【0023】最後に、アンテナユニット32をマザーボ

5

ード34に取り付けると共に電氣的接続端子としても働くピン30を、図1で示したような位置に適当なろう剤を使用してセラミック多層基板10上にろう付けする。

【0024】この後は、アクティブフェイズドアレイアンテナの動作に必要な受信低雑音増幅器や送信電力増幅器等の回路素子を取り付けキャップをしてアンテナユニット32が完成する。

【0025】

【発明の効果】前述した実施例から明らかなように、本発明によれば、アクティブアンテナアレイを構成するアンテナユニットの基板として低温焼成セラミック多層基板を使用することにより、従来のマイクロ波IC用のテフロン基板を使用する場合に比べて、誘電率が高いため波長短縮によって回路サイズが小さくできると共に、機械的強度も強いので支持構造が不要となる。すなわちアンテナ素子の寸法が小形化され、アンテナパターンが広角になる。

【0026】また、アンテナおよび配線が一体成形されるので生産性が高いという利点がある。

【0027】さらに、低温焼成セラミック基板により銅および銀系の低抵抗率の導電体を使用できるため、高周波特性が良くなる。従って、回路の小形化による低損失化、回路全体の小形化およびアンテナ特性の改善に効果を奏する。

【0028】低温焼成セラミック多層基板上にアンテナ素子と増幅回路を内蔵したことにより、1個のアンテナとしてユニット化および小形化し、マザーボードに差し込み取り替え可能な形態にすることができる。

【0029】以上、本発明の好適な実施例について説明したが、本発明は前記実施例に限定されることがなく、本

6

発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。

【図面の簡単な説明】

【図1】本発明に係るアクティブフェイズドアレイアンテナを構成するアンテナユニットの一実施例を示す要部断面外観斜視図である。

【図2】アンテナユニットを送信用アンテナユニットと受信用アンテナユニットに構成し、交互に碁盤目状に配置した本発明に係るアクティブフェイズドアレイアンテナを示す平面図である。

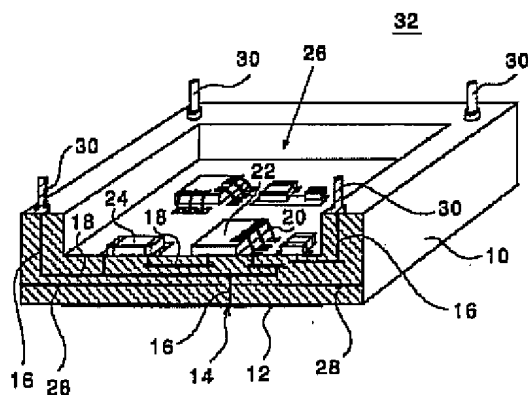
【図3】図2に示したアクティブフェイズドアレイアンテナの側面図である。

【図4】本発明に係るアクティブフェイズドアレイアンテナで使用するアンテナユニットのセラミック多層基板製造工程の流れを概略的に示す工程線図である。

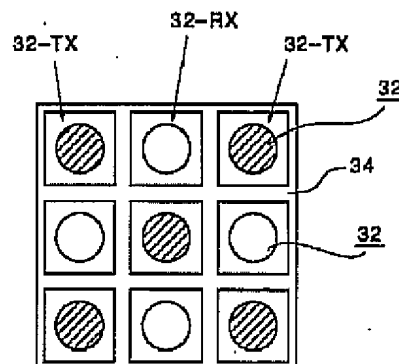
【符号の説明】

- 10 セラミック多層基板
- 12 アンテナパターン
- 14 給電点
- 16 ビアホール
- 18 内部導体
- 20 ボンディングワイヤ
- 22 高周波増幅ICチップ
- 24 チップコンデンサ
- 26 ハイブリッドIC部
- 28 内部導体
- 30 ピン
- 32 アンテナユニット
- 34 マザーボード

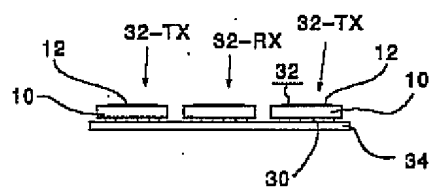
【図1】



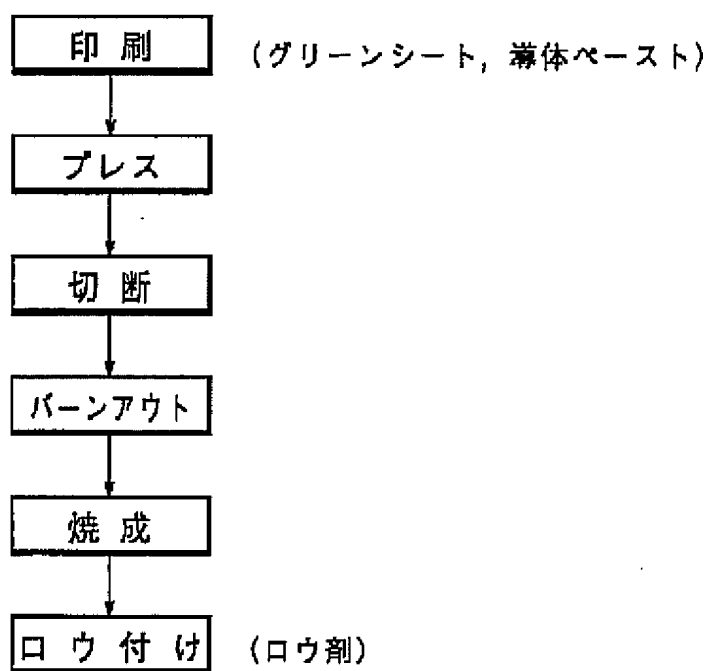
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl.⁵

H01Q 21/22

識別記号

庁内整理番号

6959-5J

F I

技術表示箇所

MICROWAVE CIRCUIT WITH INTEGRATED ANTENNA

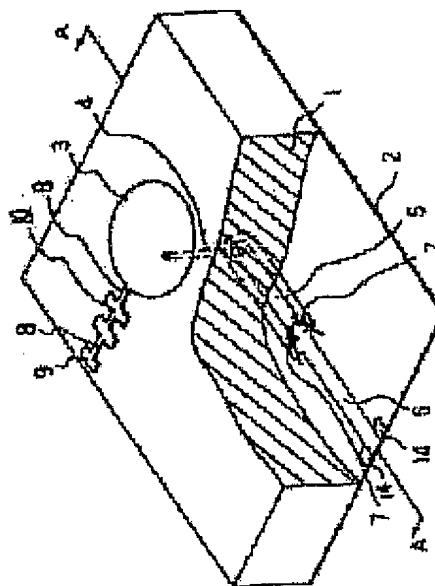
Patent number: JP4352506
Publication date: 1992-12-07
Inventor: HIEDA MORISHIGE, SUEMATSU KENJI, IIDA AKIO,
ITO KENJI, URASAKI SHUJI
Applicant: MITSUBISHI ELECTRIC CORP.
Classification:
- International: H01P3/08; H01Q13/08; H01Q23/00; H03D9/06;
H04B1/18; H01P3/08; H01Q13/08; H01Q23/00;
H03D9/00; H04B1/18; (IPC4-7) H01P3/08; H01Q13/08;
H01Q23/00; H03D9/06; H04B1/18
- European:
Application number: JP19910127613-19910530
Priority number(s): JP19910127613-19910530

[Report a data error here](#)

Abstract of JP4352506

PURPOSE:To arrange the antenna and the microwave circuit on one dielectric substrate by forming the microwave circuit on the other plane of the dielectric substrate forming the radial conductor of the antenna.

CONSTITUTION:For the microwave circuit with integrated antenna, a mixer circuit is constituted by providing a radial conductor 3 of the microstrip antenna and a branch filler 10 of a microstrip line coupled to the conductor on one plane of the dielectric substrate and providing a coplanar circuit equipped with a coplanar line on the other plane, and the antenna and the mixer are integrated. When an integer is defined as (n) and one wavelength on the coplanar line constituting the mixer circuit is defined as λ , the line length of the said line is $(\lambda/4) + (n\lambda/2)$, the above-mentioned coplanar line is used as a feeder line, and power is supplied from the coplanar line through a conductor, which is passed through the front and rear sides of the dielectric substrate, to the radial conductor.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-352506

(43) 公開日 平成4年(1992)12月7日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 Q 23/00		7741-5 J		
H 0 1 P 3/08		7741-5 J		
H 0 1 Q 13/08		7741-5 J		
H 0 3 D 9/06	G	8836-5 J		
H 0 4 B 1/18	K	7189-5 K		

審査請求 未請求 請求項の数4 (全 6 頁)

(21) 出願番号	特願平3-127613	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成3年(1991)5月30日	(72) 発明者	檜枝 護重 鎌倉市大船五丁目1番1号 三菱電機株式会社電子システム研究所内
		(72) 発明者	末松 憲治 鎌倉市大船五丁目1番1号 三菱電機株式会社電子システム研究所内
		(72) 発明者	飯田 明夫 鎌倉市大船五丁目1番1号 三菱電機株式会社電子システム研究所内
		(74) 代理人	弁理士 高田 守 (外1名)

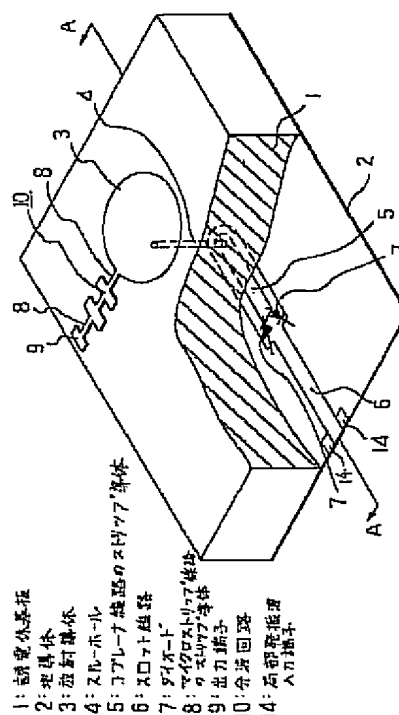
最終頁に続く

(54) 【発明の名称】 アンテナ一体化マイクロ波回路

(57) 【要約】

【目的】 アンテナの放射導体を形成した誘電体基板の面の、他方の面にマイクロ波回路を形成して、1枚の誘電体基板にアンテナとマイクロ波回路を配置することができるアンテナ一体化マイクロ波回路を得ることを目的とする。

【構成】 この発明のアンテナ一体化マイクロ波回路では、マイクロストリップアンテナの放射導体1とそれに結合したマイクロストリップ線路の分波器10を誘電体基板の一方の面に設け、他方の面にコプレーナ線路を含む共平面回路を設けて、ミキサ回路を構成し、アンテナとミキサとを一体化したものである。上記のミキサ回路を構成するコプレーナ線路の線路長が、 n を整数、 λ を該線路上の一波長として、 $(\lambda/4) + (n\lambda/2)$ あり、上記コプレーナ線路を給電線路としコプレーナ線路から誘電体基板の表裏を貫く導体を介して放射導体に給電するようにしたものである。



1

【特許請求の範囲】

【請求項1】 マイクロストリップアンテナの放射導体とそれに結合したマイクロストリップ線路の分波器を誘電体基板の一方の面に設け、他方の面にコプレーナ線路を含む共平面回路を設けて、ミキサ回路を構成し、アンテナとミキサとを一体化したアンテナ一体化マイクロ波回路。

【請求項2】 ミキサ回路を構成するコプレーナ線路の線路長が、 n を整数、 λ を該線路上の一波長として、 $(\lambda/4) + (n\lambda/2)$ あり、上記コプレーナ線路を給電線路としコプレーナ線路から誘電体基板の表裏を貫く導体を介して放射導体に給電するようにした請求項1記載のアンテナ一体化マイクロ波回路。

【請求項3】 マイクロストリップアンテナの放射導体を形成した誘電体基板の、他方の面に共平面回路によるミキサ回路を構成して、アンテナとミキサとを一体化したアンテナ一体化マイクロ波回路。

【請求項4】 ミキサ回路を構成するコプレーナ線路の線路長が、 n を整数、 λ を該線路上の一波長として、 $(\lambda/4) + (n\lambda/2)$ あり、上記ミキサ回路を構成するコプレーナ線路を給電線路とし、該コプレーナ線路から誘電体基板の表裏を貫く導体を介して放射導体に給電するようにし、上記給電線路としたコプレーナ線路のストリップ導体にコプレーナ線路の分波器を結合させた請求項3記載のアンテナ一体化マイクロ波回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はマイクロ波またはミリ波帯のアンテナとミキサとを一体化したアンテナ一体化マイクロ波回路に関するものである。

【0002】

【従来の技術】 図7(a)は、例えば、Microwave Journal, (1988. 3)に示された、従来のアンテナと低雑音増幅器とを一体化したアンテナ一体化マイクロ波回路を示す平面図であり、図7(b)は、図7(a)のBB断面図である。図7において、1は誘電体基板、2は地導体、3はアンテナの放射導体、8はマイクロストリップ線路のストリップ導体、9は出力端子、20は低雑音増幅器全体を示す。21は電界効果トランジスタ（以下、FETと呼ぶ）である。

【0003】 誘電体基板1の一方の面に、アンテナの放射導体3、他方の面に、地導体2が形成されていて、マイクロストリップアンテナを構成している。上記マイクロストリップアンテナで受信された信号は、ストリップ導体8と地導体2により構成されたマイクロストリップ線路を介して、低雑音増幅器20に入力されFET21により増幅された後、出力端子9に出力される。

【0004】 また、図8は、他の従来例として、アンテナとミキサとが一体化されたアンテナ一体化マイクロ波回路を示す平面図である。図中、1は誘電体基板、3は

2

アンテナの放射導体、4はスルーホール、8はマイクロストリップ線路のストリップ導体、9は出力端子、14は局部発振波入力端子、30はダイオード7及びフィルタ31、32、33を有するミキサである。

【0005】 図8において、誘電体基板1の一方の面にはアンテナの放射導体3、他方の面には地導体2が形成され、マイクロストリップアンテナが構成されている。上記マイクロストリップアンテナで受信された信号波は、ストリップ導体8と地導体2とにより構成されたマイクロストリップ線路を介してフィルタ31に入力される。フィルタ31は信号波のみを通過させる構成となっており、フィルタ31を通過した信号波は一端をスルーホール4を介して接地されているダイオード7に入力される。局部発振波入力端子14に入力される局部発振波は、ストリップ導体8と地導体2により構成されるマイクロストリップ線路を介してミキサ回路のフィルタ32に入力される。フィルタ32は、局部発振波のみを通過させる構成となっており、フィルタ32を通過した局部発振波はダイオード7を励起する。ダイオード7で信号波と局部発振波はミキシングされ、中間波がフィルタ33を介して出力端子9に出力される。ここで、フィルタ33は信号波及び局部発振波は通過させず、中間波を通過させる構成となっている。

【0006】

【発明が解決しようとする課題】 従来のアンテナ一体化マイクロ波回路は以上のように構成されていて、アンテナの放射導体とマイクロ波回路が誘電体基板の片面上に構成されているために、アンテナが複数個の素子アンテナで構成され、その間隔が狭いときや、アンテナの放射導体寸法が大きいとき、小型化する上の制約となっていた。

【0007】 この発明は上記のような課題を解決するためになされたもので、複数個の素子アンテナの間隔が狭いときや、アンテナの放射導体寸法が大きいときにも、1枚の誘電体基板にアンテナとマイクロ波回路を構成することができるアンテナ一体化マイクロ波回路を得ることを目的とする。

【0008】

【課題を解決するための手段】 この目的を達成するために、この請求項1記載のアンテナ一体化マイクロ波回路では、マイクロストリップアンテナの放射導体とそれに結合したマイクロストリップ線路の分波器を誘電体基板の一方の面に設け、他方の面にコプレーナ線路を含む共平面回路を設けて、ミキサ回路を構成し、アンテナとミキサとを一体化したものである。

【0009】 また、請求項2記載のアンテナ一体化マイクロ波回路では、上記のミキサ回路を構成するコプレーナ線路の線路長が、 n を整数、 λ を該線路上の一波長として、 $(\lambda/4) + (n\lambda/2)$ あり、上記コプレーナ線路を給電線路としコプレーナ線路から誘電体基板の表

裏を貫く導体を介して放射導体に給電するようにしたものである。

【0010】この請求項3記載のアンテナ一体化マイクロ波回路では、マイクロストリップアンテナの放射導体を形成した誘電体基板の、他方の面に共平面回路によるミキサ回路を構成して、アンテナとミキサとを一体化したものである。

【0011】また、請求項4記載のアンテナ一体化マイクロ波回路では、ミキサ回路を構成するコプレーナ線路の線路長が、 n を整数、 λ を該線路上の一波長として、 $(\lambda/4) + (n\lambda/2)$ あり、上記ミキサ回路を構成するコプレーナ線路を給電線路とし、該コプレーナ線路から誘電体基板の表裏を貫く導体を介して放射導体に給電するようにし、上記給電線路としたコプレーナ線路のストリップ導体にコプレーナ線路の分波器を結合させたものである。

【0012】

【作用】上記のように構成された請求項1記載のアンテナ一体化マイクロ波回路では、マイクロストリップアンテナの放射導体とそれに結合したマイクロストリップ線路の分波器を誘電体基板の一方の面に設け、他方の面にコプレーナ線路を含む共平面回路を設けて、ミキサ回路を構成し、アンテナとミキサとを一体化したことにより、小形化のための設計裕度を上げることができる。

【0013】請求項2記載のアンテナ一体化マイクロ波回路では、上記ミキサ回路を構成する線路長が、 n を整数、 λ を該線路上の一波長として $(\lambda/4) + (n\lambda/2)$ あるコプレーナ線路を給電線路として用いることにより、小型化が可能である。

【0014】請求項3記載のアンテナ一体化マイクロ波回路では、マイクロストリップアンテナの放射導体を形成した誘電体基板の、他方の面に共平面回路によるミキサ回路を構成して、アンテナとミキサとを一体化したことにより、小形化のための設計裕度を上げることができる。

【0015】請求項4記載のアンテナ一体化マイクロ波回路では、上記ミキサ回路を構成する線路長が、 n を整数、 λ を該線路上の一波長として $(\lambda/4) + (n\lambda/2)$ あるコプレーナ線路を給電線路として用いることにより、小型化が可能である。

【0016】

【実施例】はじめに、アンテナの放射導体を設けた誘電体基板の面をA面、他方の面をB面と定義する。なお、平面図の斜線でハッチングした部分は表面（基板を見た面）の導体を表す。

実施例1. 図1はこの発明の実施例1を示す斜視図である。図2は図1のA-A断面図、図3は図1を地導体側（B面）から見た平面図、図4は図1のアンテナの放射導体側（A面）から見た平面図である。図中、1は誘電体基板、2は地導体、3は放射導体、4はスルーホール、5はコプレーナ線路のストリップ導体、6はスロット線路、7はダイオード、8はマイクロストリップ線路のストリップ導体、9は出力端子、10は分波回路全体を示す。14は局部発振波入力端子である。

【0017】誘電体基板1の一方の面（A面）に形成した放射導体3と、他方の面（B面）に形成した地導体2とで構成されるマイクロストリップアンテナに入力した信号波は、スルーホール4を介して接続されたコプレーナ線路5を伝搬し、コプレーナ線路の開放端にてコプレーナ線路の地導体に対して並列、かつ互いに逆の極性で接続された2つのダイオード7に入力する。

【0018】一方、局部発振波入力端子14に入力した局部発振波は、地導体2に形成されたスロット線路6を介して、線路に直列接続された2つのダイオード7を励起する。ここで、局部発振波入力端子14から内部を見て、スロット線路の先端に接続されたコプレーナ線路は、先端が短絡されたスロット線路と見なすことができ、さらに、 n を整数、 λ を該線路上の一波長として、コプレーナ線路の長さを $(\lambda/4) + (n\lambda/2)$ 、

（以下、 n を整数、 λ を該線路上の一波長の説明を省略する）にしているの、ダイオードが接続されている部分は、開放端と見なせる。

【0019】上記ダイオード7で発生した中間波は、コプレーナモードとなるために、局部発振器側には漏洩せず、入力信号側へ伝搬し、スルーホール4を介してアンテナの放射導体3に入力する。中間波は放射導体3に直接結合するマイクロストリップ線路構造の分波回路10及びマイクロストリップ線路8を伝搬し、出力端子9に出力される。ここで、分波回路10は信号波に対しては開放となり、また、上記分波回路10は、アンテナの放射導体上の信号波の電界が弱い位置に接続できるために、分波回路の上記マイクロストリップアンテナの特性に与える影響は小さい。従って、長さ $\lambda/4 + n\lambda/2$ のコプレーナ線路は、上記ミキサ回路において、局部発振波に対して先端短絡線路として働く一方、上記マイクロストリップアンテナにおいて、地導体及びアンテナ給電線路として働く。また、図1、図4に示すマイクロストリップアンテナの放射導体3に接続されているマイクロストリップ線路の分波回路10のアンテナの放射パターンへの影響については、もう1つの分波回路10を上記放射導体3の対象の位置に設け、2つの分波回路10の出力を合成するようにして、アンテナの放射パターンの対象性を保持することができる。

【0020】以上、ここではダウンコンバータとして受信回路で中間波生成の例について示しているが、アップコンバータとして送信回路で高周波生成に用いる場合にも、上記構成の効果は同等と見なせる。

【0021】上記の実施例1では、放射導体3とコプレーナ線路5とをスルーホール4によって接続する例を示しているが、金属ピンもしくはバイアホールを用いても

同等である。

【0022】実施例2、図5は、この発明の実施例2を示すアンテナ一体化マイクロ波回路であり、誘電体基板1の平面図(B面)である。図中、11はワイヤである。実施例1では分波回路10はマイクロストリップ線路によるチョーク構造となっていて、誘電体基板1のA面に形成され、マイクロストリップアンテナの放射導体3に結合した構成となっているが、この実施例2では、分波回路10はコプレーナ線路によるチョーク構造となっていて、誘電体基板1のB面に形成したものである。

【0023】実施例2の動作について説明する。図5のダイオード7におけるミクシングにより得られた中間波は、 $(\lambda/4) + (n\lambda/2)$ の長さのコプレーナ線路5を伝搬し、コプレーナ線路のストリップ導体に接続されたワイヤ11を通じて分波回路10に入力する。ここで、分波回路10はコプレーナ線路によるチョーク構造となっているので、アンテナの放射導体3からの信号波、及び局部発振波入力端子14より入力する局部発振波に対しては開放となり、入力した上記中間波だけが分波され出力端子9に出力する。

【0024】図6は、この発明の実施例3を示す斜視図である。図中、12は中間波増幅器、13は局部発振波発振器である。実施例1ではミクサから中間波を出力とする例を示したが、中間波増幅器12を同じ基板に設けて中間波を増幅後に出力することもでき、また、局部発振波発振器も同一基板上に設け一体化したアンテナ一体化マイクロ波回路の例を示す。この他、移相器等のマイクロ波回路についても同等である。

【0025】実施例3の動作について説明する。実施例1の図1と同一構成部分については既に説明済みなので省略する。局部発振波発振器13において発生した局部発振波は、地導体2に形成されたスロット線路6を介して、線路に直列接続された2つのダイオード7を励起する。

【0026】分波回路10から出力された中間波は、ストリップ導体8と地導体2よりなるマイクロストリップ線路から上記誘電体基板1の表裏を貫くスルーホール4を介して、誘電体基板1のB面に形成されたコプレーナ線路を経て、中間波増幅器12に入力する。中間波増幅器12に入力した中間波は増幅された後、コプレーナ線路5を介して出力端子9に出力する。

【0027】なお、以上の説明で誘電体基板1が半導体基板の場合、即ちモノリシック化したものであっても同等である。

【0028】

【発明の効果】以上のようにこの発明によれば、以下に記載されるような効果を奏する。請求項1記載のアンテナ一体化マイクロ波回路では、マイクロストリップアンテナの放射導体とそれに結合したマイクロストリップ線路の分波器を誘電体基板の一方の面に設け、他方の面に

コプレーナ線路を含む共平面回路を設けて、ミクサ回路を構成し、アンテナとミクサとを一体化することにより、小形化のための設計裕度をあげることができ、1枚の誘電体基板にアンテナとマイクロ波回路を構成することができるアンテナ一体化マイクロ波回路を得ることができる。

【0029】請求項2記載のアンテナ一体化マイクロ波回路では、上記のミクサ回路を構成する線路長が、 n を整数、 λ を該線路上の一波長として、 $(\lambda/4) + (n\lambda/2)$ あるコプレーナ線路を給電線路として用いるようにしたことにより、小形化が可能となり、1枚の誘電体基板にアンテナとマイクロ波回路を構成することができるアンテナ一体化マイクロ波回路を得ることができる。

【0030】請求項3記載のアンテナ一体化マイクロ波回路では、マイクロストリップアンテナの放射導体を形成した誘電体基板の、他方の面に共平面回路によるミクサ回路を構成して、アンテナとミクサとを一体化することにより、小形化のための設計裕度をあげることができ、1枚の誘電体基板にアンテナとマイクロ波回路を構成することができるアンテナ一体化マイクロ波回路を得ることができる。

【0031】請求項4記載のアンテナ一体化マイクロ波回路では、ミクサ回路を構成する線路長が、 n を整数、 λ を該線路上の一波長として $(\lambda/4) + (n\lambda/2)$ あるコプレーナ線路を給電線路として用いるようにしたことにより、小形化が可能となり、1枚の誘電体基板にアンテナとマイクロ波回路を構成することができるアンテナ一体化マイクロ波回路を得ることができる。

【図面の簡単な説明】

【図1】この発明の実施例1を示す構成図である。

【図2】図1のAA断面図である。

【図3】図1の平面図(B面)である。

【図4】図1の平面図(A面)である。

【図5】この発明の実施例2を示す構成図である。

【図6】この発明の実施例3を示す構成図である。

【図7】従来のアンテナ一体化マイクロ波回路を示す平面図と断面図である。

【図8】従来の他のアンテナ一体化マイクロ波回路を示す平面図である。

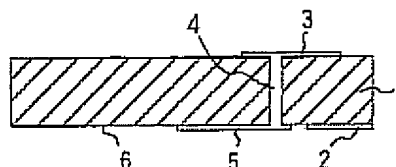
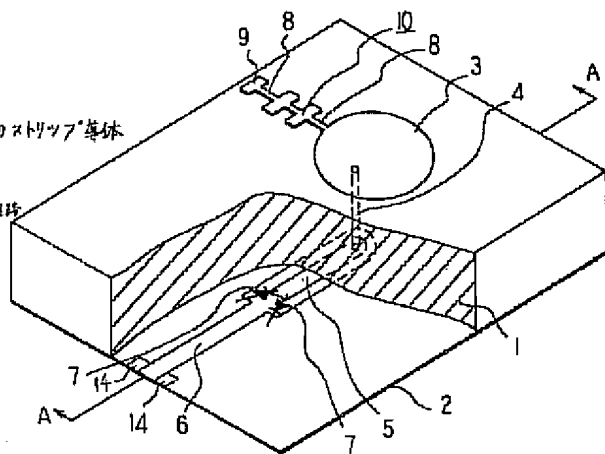
【符号の説明】

- 1 誘電体基板
- 2 地導体
- 3 放射導体
- 4 スルーホール
- 5 コプレーナ線路のストリップ導体
- 6 スロット線路
- 7 ダイオード
- 8 マイクロストリップ線路のストリップ導体
- 9 出力端子

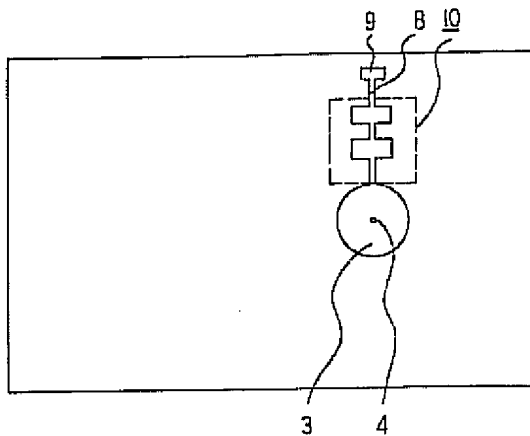
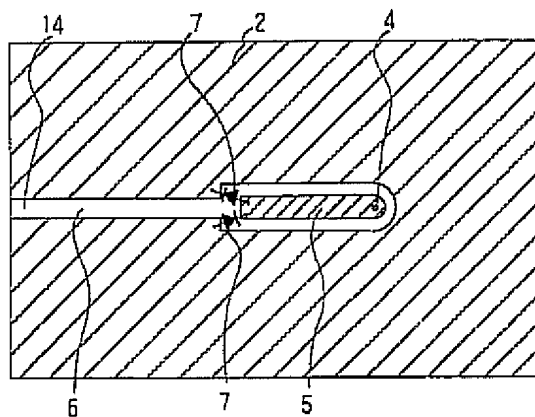
8

- | | |
|-----|-------------|
| 2 1 | F E T |
| 3 0 | ミクサ |
| 3 1 | 信号波通過フィルタ |
| 3 2 | 局部発振波通過フィルタ |
| 3 3 | 中間波通過フィルタ |

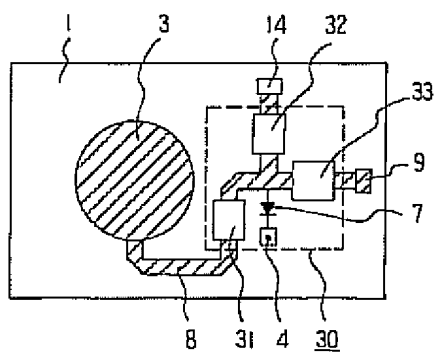
【図 2】



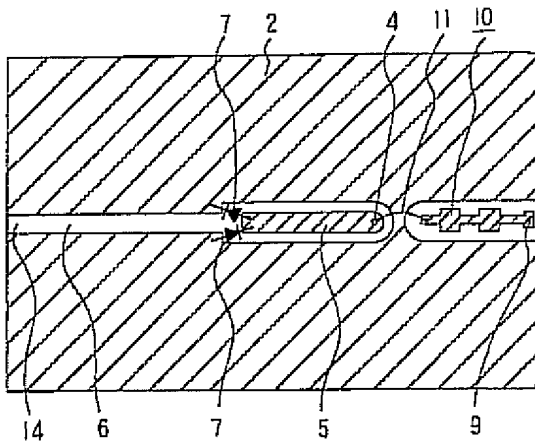
【图4】



[88]

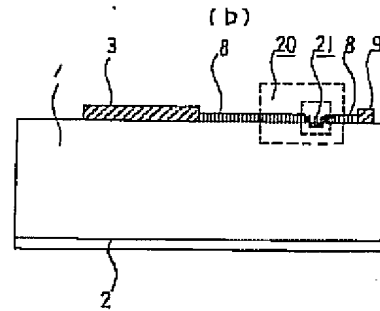
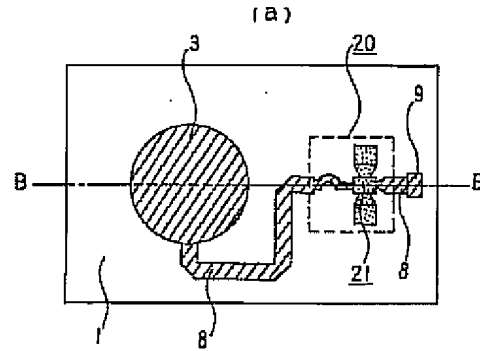


【図5】



11:747

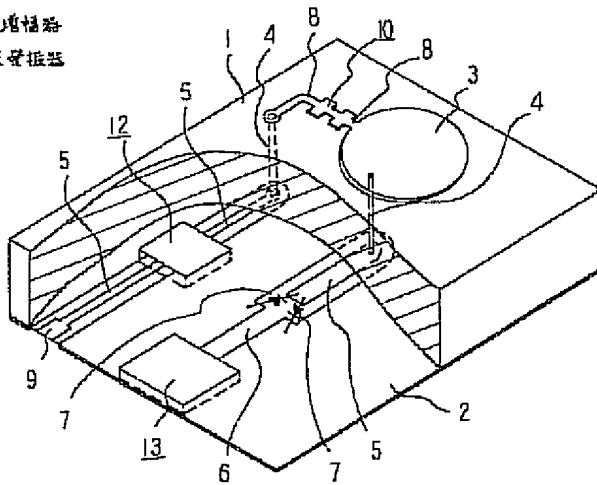
【図7】



【図6】

12:中間増幅器

13:局発波発振器



フロントページの続き

(72)発明者 伊東 健治
 鎌倉市大船五丁目1番1号 三菱電機株式
 会社電子システム研究所内

(72)発明者 浦崎 修治
 鎌倉市大船五丁目1番1号 三菱電機株式
 会社電子システム研究所内

PHASE SHIFTER

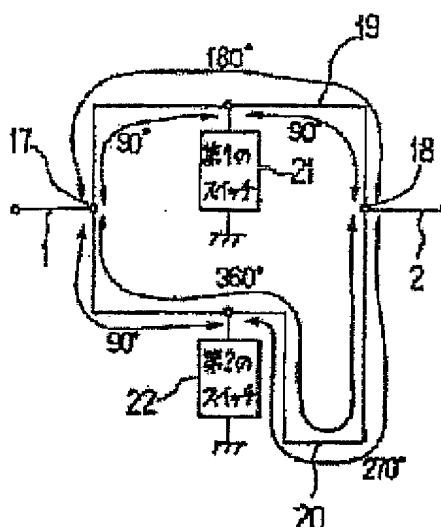
Patent number: JP4032301
 Publication date: 1992-02-04
 Inventor: YAMA YOSHITADA, IIDA AKIO, URASAKI SHUJI, ITO KENJI, MIMATSU KENJI, SHIGEMATSU TOMONORI
 Applicant: MITSUBISHI ELECTRIC CORP.
 Classification:
 - International: H01P1/18; H01P1/185; H01P1/18; (IPC1-7) H01P1/18
 - European:
 Application number: JP19900138732; 19900529
 Priority number(s): JP19900138732; 19900529

Report a data error here

Abstract of JP4032301

PURPOSE: To obtain a phase shifter with a low loss by providing switches (two switches, when one switch is opened, the other is closed interlockingly) to positions of a 1st transmission line and a 2nd transmission line respectively so that the impedance when viewing the line from an input terminal and an output terminal is high impedance with the switch opened with respect to the line.

CONSTITUTION: When a switch 21 connected to a 1st transmission line 19 is opened and a switch 22 connected to a 2nd transmission line 20 is closed, an impedance when viewing the line from an input terminal and an output terminal is high impedance, that is, equivalent to the line opening state. Since the effect of the switch 21 connected to the 1st transmission line 19 is neglected, a radio wave propagates the 1st transmission line 19. When the connecting state of the switches 21, 22 is switched, the radio wave propagates the 2nd transmission line 20. The phase of the radio wave is changed without inserting directly to the transmission lines 19, 20 by switching the connecting state of the switches 21, 22 in this way. Thus, the phase shifter with a low loss is realized.



⑫ 公開特許公報(A) 平4-32301

⑤Int. Cl.⁵
H 01 P 1/18識別記号 庁内整理番号
7741-5J

⑬公開 平成4年(1992)2月4日

審査請求 未請求 請求項の数 1 (全9頁)

⑭発明の名称 移相器

⑯特 願 平2-138732

⑰出 願 平2(1990)5月29日

⑱発明者 伊 山 義 忠 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社電子システム研究所内
 ⑱発明者 飯 田 明 夫 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社電子システム研究所内
 ⑱発明者 浦 崎 修 治 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社電子システム研究所内
 ⑱発明者 伊 東 健 治 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社電子システム研究所内
 ⑲出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
 ⑳代 理 人 弁理士 大岩 増雄 外2名
 最終頁に続く

明 細 書

1. 発明の名称

移相器

2. 特許請求の範囲

通路長の異なる2つの伝送線をスイッチにより切り替る通路長切替形の移相器において、入力端子と、出力端子と、所定の通路長差を有し、それぞれ一端が上記入力端子に接続され、他端が上記出力端子に接続された第1の伝送線および第2の伝送線と、遮断と導通が切り替わり、導通状態のとき上記入力端子および上記出力端子から見て高インピーダンスに見える上記第1の伝送線の位置および上記第2の伝送線の位置にそれぞれ接続されたスイッチとを備えたことを特徴とする移相器。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、通路長の異なる2つの伝送線をスイッチにより切替る通路長切替形の移相器に係わり、特に移相器における損失特性の改善に関

するものである。

〔従来の技術〕

電波の伝搬経路を切り換えてこの電波の位相を変える通路長切替形移相器には種々のものがあるが、ここではシリコン、GaAsなどの半導体基板に構成した電界効果トランジスタ(以下、FETと称す)をスイッチとして用い、同一の半導体基板に構成したマイクロストリップ線路の経路を切替えてマイクロ波の位相を変える半導体移相器を例にとつて説明する。

第1図は、例えば、G. F. Shade, "Monolithic I-Band Phase Shifter" GaAs IC Symposium 1981 pp. 37 に示された従来の半導体移相器の原理を説明するための模式図である。図において、(1)は入力線路、(2)は出力線路、(3)は電気長 θ_1 の第1の分岐線路、(4)は電気長 θ_2 の第2の分岐線路、(5)は第1の単極双投スイッチ(以下、BPDTSスイッチと称す)、(6)は第2のBPDTSスイッチである。第1図では、第1、第2のBPDTSスイッチ(5)、(6)は第1の分岐線路

(3)側に切り換えられた状態であるので、入力線路(1)より入射した電波は θ_1 の位相遅れを受けて第1の分岐線路(3)を通過して出力線路(2)にあらわれる。ここで、第1、第2のFETスイッチ(5)、(6)を第2の分岐線路(4)側に切り換え、電波は θ_2 の位相遅れを受けて第2の分岐線路(4)を通過して出力線路(2)にあらわれることになる。従つて、第1、第2のFETスイッチ(5)、(6)を切り換えることにより、第1、第2の分岐線路(3)、(4)の電気長の差 $\Delta\theta$ ($\Delta\theta = \theta_2 - \theta_1$)だけ電波の位相が変化することになり移相器が構成される。

第12図は、上記半導体移相器の構成を示す斜視図である。図において、(1)~(6)は第11図に示したものと同様のものであり、(7)は半導体基板、(8)(9)は第1のFETスイッチ(5)を構成する第1、第2のFETであり、(10)(11)は第2のFETスイッチ(6)を構成する第3、第4のFETである。また、(12)(13)(14)はそれぞれ第1、第2、第3、第4のFET(8)(9)(10)(11)のドレイン電極、ゲート電極、ソース電極である。ゲート電極(13)にはバイアス抵抗

48を介して、バイアス端子49よりバイアス電圧が印加される。なお、第1、第2、第3、第4のFET(8)(9)(10)(11)のスイッチ動作のために、通常はドレイン電極(12)、ソース電極(14)を直流的に同電位として用いるが、第12図ではそのための回路は省略している。今、ドレイン電極(12)、ソース電極(14)を直流的に同電位たとえ $0V$ にしたとすると、ゲート電極(13)に印加する電圧を $0V$ とピンチオフ電圧に切り換えることにより、FETのドレイン電極(12)とソース電極(14)間は電波が通過・遮断となる単極単投スイッチの動作をする。従つて、第1、第2のFET(8)(9)、および、第3、第4のFET(10)(11)のそれぞれ2個のFETをドレイン電極を共通にして配置し、かつ、上記2個のFETのゲートバイアス電圧を一方は $0V$ 、他方はピンチオフ電圧とし、同時に上記のバイアス電圧を切り換えることにより2個の単極単投スイッチからなるFETスイッチを構成している。このFETスイッチを用いて第1の分岐線路(3)と第2の分岐線路(4)の2つの異なる伝搬経路を切替えることによ

り第11図についての説明と同様にして移相器として動作させることができる。

上記のような従来の移相器は、第1、第2の分岐線路(3)、(4)の長さの差で移相量が決まるため、これら線路の寸法を正確に工作することにより精度の良い移相量特性が得られる。

〔発明が解決しようとする課題〕

しかし、上記のような従来の移相器は、伝搬経路の切り替えには伝送線路の入力端と出力端との2箇所にスイッチが必要であり、かつ、FETなどのスイッチング素子が電波の伝搬経路に挿入される構成であることから、スイッチによる挿入損失が大きいという問題点があつた。

この発明は、上記のような問題点を解決するためになされたもので、低損失な移相器を得ることを目的とする。

〔課題を解決するための手段〕

通路長の異なる2つの伝送線路をスイッチにより切替える通路長切替形の移相器において、入力端子と、出力端子と、所定の通路長差を有し、そ

れぞれ一端が上記入力端子に接続され、他端が上記出力端子に接続された第1の伝送線路および第2の伝送線路と、遮断と導通が切り替わり、導通状態のとき上記入力端子および上記出力端子から見て高インピーダンスに見える上記第1の伝送線路の位置および上記第2の伝送線路の位置にそれぞれ接続されたスイッチとを備えたものである。

〔作用〕

上記のように構成された移相器においては、遮断と導通が切り替わるスイッチが、導通状態のとき入力端子および出力端子から見て高インピーダンスに見える第1の伝送線路の位置および第2の伝送線路の位置にそれぞれ設けられているので、例えば、第1の伝送線路に接続されたスイッチを遮断とし、第2の伝送線路に接続されたスイッチを導通とすると、入力端子および出力端子から第2の伝送線路のスイッチ側をみたインピーダンスは高インピーダンス、すなわち開放状態となり、また、第1の伝送線路のスイッチの影響は無視できるので、電波は第1の伝送線路を通過する。な

お、スイッチの遮断と導通を切り替ると電波は第 2 の伝送線路を通過する。このように、スイッチの遮断と導通を切り替ると電波が通過する伝送線路にスイッチを挿入せずに 2 つの伝送線路を切り替え、電波の位相を変化させる。

〔実施例〕

第 1 図はこの発明の移相器の一実施例を説明するための模式図である。ここでは、所定の周波数で概略 180 度の電気長の差を有する通路長の異なる 2 つの伝送線路をスイッチにより切り替る通路長切替形の 180 度移相器を例としてこの発明の技術的思想を説明する。図において、10 は移相器の入力端子、11 は移相器の出力端子、12 は一端が入力端子 10 に接続され、他端が出力端子 11 に接続された上記所定の周波数で概略 180 度の電気長を有する第 1 の伝送線路および上記所定の周波数で概略 360 度の電気長を有する第 2 の伝送線路、13 は第 1 の伝送線路 10 の入力端子 10 から上記所定の周波数で概略 90 度の電気長の位置と接地との間に設けられた第 1 のスイッチ、14 は第 2 の伝送線

路 11 の入力端子 11 から上記所定の周波数で概略 90 度の電気長の位置と接地との間に設けられた第 2 のスイッチである。なお、ここで、第 1 のスイッチ 13 および第 2 のスイッチ 14 は遮断と導通が切り替わるものである。

次に動作を説明する。

第 2 図、第 3 図は第 1 図に示したこの発明の移相器の一実施例の動作説明図である。第 2 図(a)は第 1 のスイッチ 13 を遮断、第 2 のスイッチ 14 を導通とした場合を示し、第 2 図(b)はこのときの動作を示す等価回路である。この場合には、第 1 のスイッチ 13 の影響は無視でき、第 2 のスイッチ 14 は短絡と考えることができるので、第 2 図(b)のように表すことができ、入力端子 10 および出力端子 11 から第 2 のスイッチ 14 側をみたインピーダンスは高インピーダンス、すなわち開放状態となるので、電波は 180 度の位相遅れを受けて第 1 の伝送線路 10 を通過する。また、第 3 図(a)は第 1 のスイッチ 13 を導通、第 2 のスイッチ 14 を遮断とした場合を示し、第 3 図(b)はこのときの動作を示す等価回路

である。この場合には、第 1 のスイッチ 13 は短絡と考えることができ、第 2 のスイッチ 14 の影響は無視できるので、第 3 図(b)のように表すことができ、入力端子 10 および出力端子 11 から第 1 のスイッチ 13 側をみたインピーダンスは高インピーダンス、すなわち開放状態となるので、電波は 360 度の位相遅れを受けて第 2 の伝送線路 11 を通過する。従つて、第 1 のスイッチ 13 と第 2 のスイッチ 14 とを遮断・導通と切り替ることにより、電波の伝搬位相は 180 度変化し、180 度移相器が構成できる。

第 4 図は第 1 図に示したこの発明の移相器の一実施例の具体的構成を示す斜視図であり、この実施例では半導体素子と線路とが同一の半導体基板を用いて構成されたモノリシック構造の場合について一例を示している。図において、15 は第 1 のスイッチ 13 を形成する FET、16 は第 2 のスイッチ 14 を形成する FET、17 はそれぞれ FET 15、16 のドレイン電極、18 はゲート電極、および、ソース電極、19 はバイアホール、20 はバイアス抵抗、21 はバイアス端子、22 はキャパシタである。こ

で、FET 15 のドレイン電極 16 は第 1 の伝送線路 10 に接続されており、ソース電極 17 はバイアホール 19 を介して接地され、かつ、ゲート電極 18 はバイアス抵抗 20 を介して、バイアス端子 21 に接続されている。なお、バイアス抵抗 20 とバイアス端子 21 との間には、一端をバイアホール 19 を介して接地したキャパシタ 22 が接続されており、バイアス端子 21 への電波の漏洩を防止している。同様にして、FET 16 のドレイン電極 16 は第 2 の伝送線路 11 に接続されており、ソース電極 17 はバイアホール 19 を介して接地され、かつ、ゲート電極 18 はバイアス抵抗 20 を介して、バイアス端子 21 に接続されている。なお、バイアス抵抗 20 とバイアス端子 21 との間には、一端をバイアホール 19 を介して接地したキャパシタ 22 が接続されており、バイアス端子 21 への電波の漏洩を防止している。

上記実施例の動作については上記第 1 図に示したこの発明の移相器の一実施例について行つた動作説明と同様であり、FET 15 および FET 16 のゲートバイアスを 0 V とピンチオフ電圧とに切り

替ることにより第1のスイッチ側と第2のスイッチ側とを遮断・導通と切り替えることができ、電波の通路を第1の伝送線路側と第2の伝送線路側とに切り替えて伝搬位相を180度変化させることができ、180度移相器が構成できる。

以上に説明したように、この発明の移相器では、電波が通過する伝送線路にスイッチを挿入せずに2つの伝送線路を切り替えることができ、低損失な移相器が得られるという効果がある。ここで、上記実施例で示した180度移相器は従来通路長切替形以外の方式の移相器で低損失なものが得難いものであり、この発明の180度移相器の利用価値は高いと考えられる。また、この実施例では半導体素子と線路とが同一の半導体基板を用いて構成されたモノリシック構造であり、小形の半導体移相器が得られ、かつ、用いる半導体素子の数を削減できる効果がある。

なお、上記の説明では、半導体素子と線路とが同一基板上に構成されるモノリシック構造の移相器の例について説明したが、この発明はこれに限ら

いて、線路にドロカットが不要となり、低損失化がはかれる効果がある。

また、第6図はこの発明の移相器の他の実施例を示す斜視図であり、この実施例はスイッチの遮断状態を良好にするための構成を付加したものである。図において、 Q_1 は共振用のインダクタであり、インダクタ Q_1 をそれぞれFET Q_2 およびFET Q_3 のソース電極 Q_2 とドレイン電極 Q_3 との間にそれぞれのFET Q_2 に並列装荷した回路構成である。インダクタ Q_1 をFET Q_3 に並列に装荷することにより、FETのもつ容量を打ち消してスイッチの遮断状態を良好にする効果がある。

さらに、第 7 図はこの発明の移相器のまた他の実施例を説明するための模式図である。この実施例は導通状態とされた第 1 のスイッチ 40 あるいは第 2 のスイッチ 42 による反射を打ち消すための構成を付加したものである。即ち第 1 のスイッチ 40 あるいは第 2 のスイッチ 42 から概略 90 度の奇数倍の電気長離れた位置の入力線路 11 に接続した反射補償用素子である。ここで、反射補償用素子 40

ず、第5図に示す他の実施例のように、半導体素子としてP E Nダイオード104等のダイオードを用い、基板として誘電体基板105を用いたディスクリートなハイブリッド構造のマイクロ波I/Oとしてもよい。第5図において、104は先端開放の1/4波長線路で形成されている高インピーダンス線路および低インピーダンス線路であり、高インピーダンス線路104と低インピーダンス線路104はP E Nダイオード104にバイアスを印加するための回路である。ここで、上記バイアスを印加するための回路ではP E Nダイオード104の接続点で等価的に接地と見えるもので、P E Nダイオード104が接続されていないものは浮かせたグランドとなつている。従つて、バイアス端子106からP E Nダイオード104にバイアスを印加し、このバイアスを変化させることで導通・導通と切り替えることができ、電波が通過する伝送線路にスイッチを挿入せずに2つの伝送線路を切り替えることができ、低損失な移相器が得られるという効果がある。さらに、この実施例においては、ダイオードへのバイアス印加にお

としては、例えば、先端を開放あるいは短絡した線路でなる分布定数回路や、MIMキャパシタ等でなる集中定数回路が用いられる。このような構成にすることにより、1つの反射補償用素子 Γ_1 を装荷するだけで第1のスイッチ Γ_2 および第2のスイッチ Γ_3 のいずれにも有効に整合が取れ、反射特性の良好な移相器が得られる効果がある。

第6図および第7図の実施例の動作は上記第4図に示した実施例の動作と同様であり、低損失な移相器が得られるという効果がある。

なお、以上の説明では、所定の周波数で概略180度の電気長の差を有する通路長の異なる2つの伝送線をスイッチにより切り替る通路長切替形の180度移相器を例として説明したが、この説明はこれに限らず、電気長の差をその他の値に設定した移相器にも適用できる。

次に、実施例について説明する。

第 8 図は上記電気長の差を任意の値 $\Delta \theta$ に設定した移相器の一実施例を説明するための模式図である。図において、(22a)(22b) は第 2 の伝送線

路④の入力端子①および出力端子③から所定の周波数で概略 90° 度の電気長の位置と接地との間に設けられた第2のスイッチおよび第3のスイッチである。なお、ここで、第1のスイッチ②、第2のスイッチ(22a)、第3のスイッチ(22b)は遮断と導通が切り替わるものである。ここで、第2の伝送線路④における第2のスイッチ(22a)と第3のスイッチ(22b)の接続点の間が所定の電気長の差 $\Delta\theta$ に設定されている。なお、所定の周波数で概略 90° 度の電気長の位置は 90° 度の奇数倍の電気長の位置であつてもよい。

第9図、第10図は第8図に示したこの発明の移相器の一実施例の動作説明図である。第9図(a)は第1のスイッチ②を遮断、第2のスイッチ(22a)、第3のスイッチ(22b)を導通とした場合を示し、第9図(b)はこのときの動作を示す等価回路である。この場合には、第1のスイッチ②の影響は無視でき、第2のスイッチ(22a)、第3のスイッチ(22b)は短絡と考えることができるので、第9図(b)のように表すことができ、入力端子①および出力端子

③から第2のスイッチ(22a)、第3のスイッチ(22b)側をみたインピーダンスは高インピーダンス、すなわち開放状態となるので、電波は 180° 度の位相遅れを受けて第1の伝送線路④を通過する。また、第10図(a)は第1のスイッチ②を導通、第2のスイッチ(22a)、第3のスイッチ(22b)を遮断とした場合を示し、第10図(b)はこのときの動作を示す等価回路である。この場合には、第1のスイッチ②は短絡と考えることができ、第2のスイッチ(22a)、第3のスイッチ(22b)の影響は無視できるので、第10図(b)のように表すことができ、入力端子①および出力端子③から第1のスイッチ②側をみたインピーダンスは高インピーダンス、すなわち開放状態となるので、電波は $(180 + \theta)$ 度の位相遅れを受けて第2の伝送線路④を通過する。従つて、第1のスイッチ②と第2のスイッチ(22a)および第3のスイッチ(22b)とを遮断・導通と切り替ることにより、電波の伝搬位相は θ 度変化し、任意の値の θ 度移相器が構成できる。

なお、上記実施例の具体的構成は第4図～第7図に示した実施例と同様にできるため、ここでは構成図を省略する。

また、上記実施例においても前記の他の実施例と同様の効果を有することは言うまでもなく、電波が通過する伝送線路にスイッチを挿入せずに2つの伝送線路を切り替えることができ、低損失な移相器が得られるという効果がある。

〔発明の効果〕

以上説明したように、この発明によれば、遮断と導通が切り替わるスイッチを導通状態のとき入力端子および出力端子から見て開放状態に見える第1の伝送線路の位置および第2の伝送線路の位置にそれぞれ設けたので、電波が通過する伝送線路にスイッチを挿入せずに2つの伝送線路を切り替えることができ、低損失な移相器が得られるという効果がある。

4 図面の簡単な説明

第1図はこの発明の移相器の一実施例を説明するための模式図、第2図、第3図は第1図に示し

たこの発明の移相器の実施例の動作説明図、第4図は第1図に示したこの発明の移相器の実施例の構成を示す斜視図、第5図はこの発明の移相器の他の実施例の構成を示す斜視図、第6図はこの発明の移相器のまた他の実施例の構成を示す斜視図、第7図はこの発明の移相器のさらに他の実施例を説明するための模式図、第8図はこの発明の移相器のさらにまた他の実施例を説明するための模式図、第9図、第10図は第8図に示したこの発明の移相器の実施例の動作説明図、第11図は従来の移相器を説明するための模式図、第12図は従来の移相器の動作説明図である。

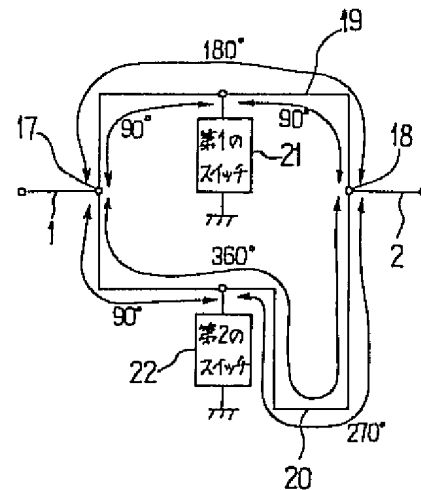
図において、(1)は入力線路、(2)は出力線路、(3)は第1の分枝線路、(4)は第2の分枝線路、(5)は第1のBFDTスイッチ、(6)は第2のBFDTスイッチ、(7)は半導体基板、(8)(9)は第1、第2のFET、(10)(11)は第3、第4のFET、(12)(13)(14)はドレイン電極、ゲート電極、ソース電極、(15)はバイアス抵抗、(16)はバイアス端子、(17)は入力端子、(18)は出力端子、(19)は第1の伝送線路、(20)は第2の伝送線路、(21)は

第1のスイッチ、 $\square(22a)$ は第2のスイッチ、 $\square(22b)$ は第3のスイッチ、 \square はFET、 \square はドレイン電極、 \square はゲート電極、 \square はソース電極、 \square はバイアホール、 \square はバイア抵抗、 \square はバイア端子、 \square はキャパシタ、 \square はPINダイオード、 \square は誘電体基板、 \square は高インピーダンス線路、 \square は低インピーダンス線路、 \square はインダクタ、 \square は反射補償用素子である。

なお、各図中同一符号は同一または相当部分を示す。

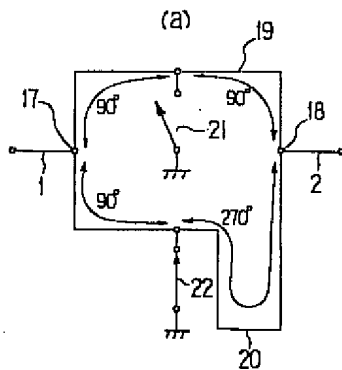
代理人 大 岩 増 雄

第 1 図

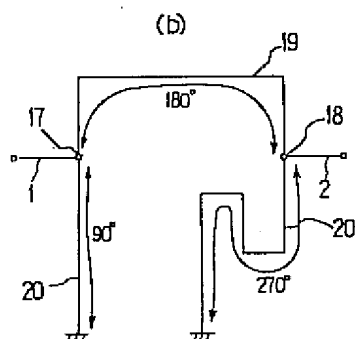


- 1: 入力線路
- 2: 出力線路
- 17: 入力端子
- 18: 出力端子
- 19: 第1の伝送線路
- 20: 第2の伝送線路
- 21: 第1のスイッチ
- 22: 第2のスイッチ

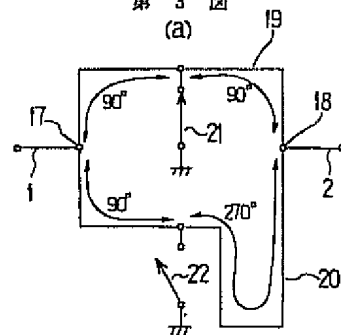
第 2 図



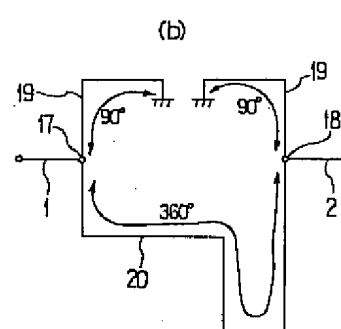
第 2 図



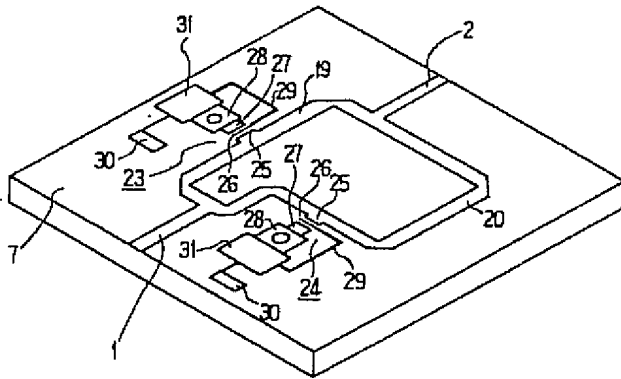
第 3 図



第 3 図

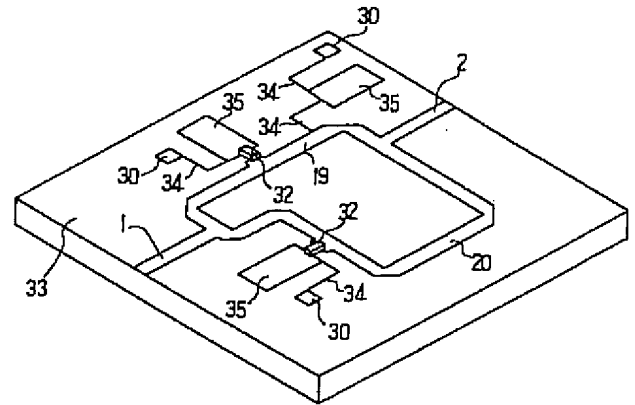


第 4 図



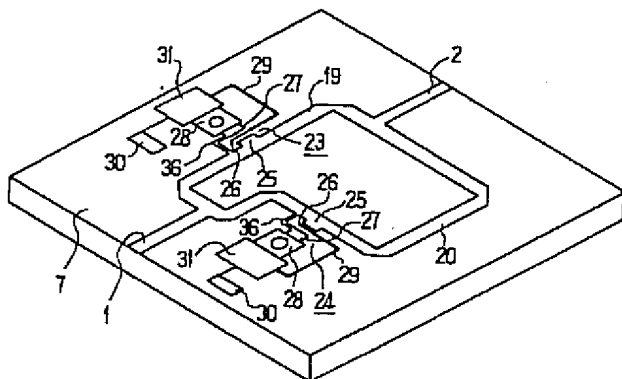
- 1 : 入力線路
- 2 : 出力線路
- 19 : 第1の伝送線路
- 20 : 第2の伝送線路
- 23 : FET
- 24 : FET
- 25 : ドレイン電極
- 26 : ゲート電極
- 27 : ソース電極
- 28 : バイアホール
- 29 : バイアス抵抗
- 30 : バイアス端子
- 31 : キャパシタ

第 5 図



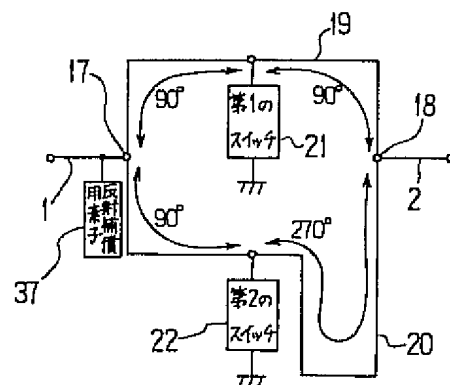
- 32 : PINダイオード
- 33 : 誘電体基板
- 34 : 高インピーダンス線路
- 35 : 低インピーダンス線路

第 6 図



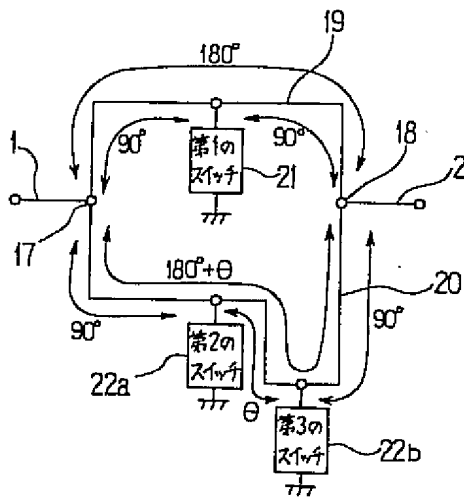
- 36 : インダクタ

第 7 図



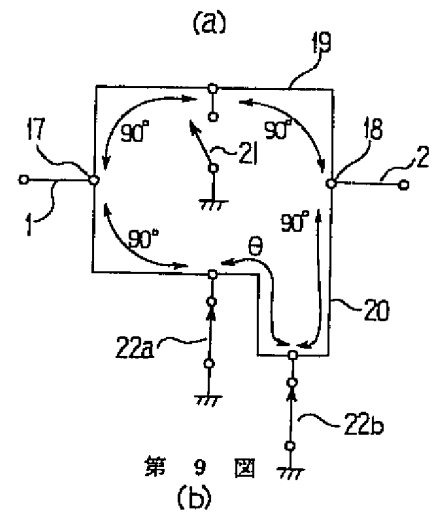
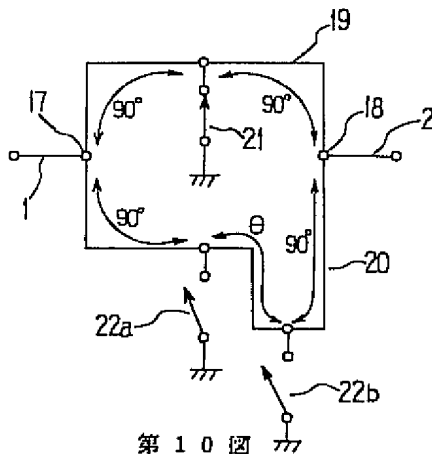
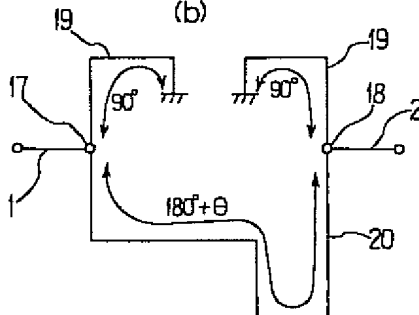
- 37 : 反射補償用素子

第 8 図

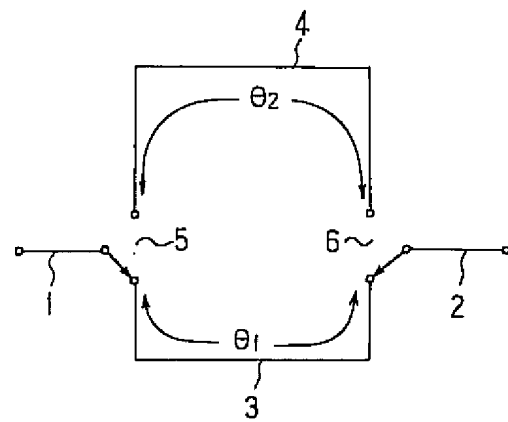


22a : 第2のスイッチ
22b : 第3のスイッチ

第 9 図

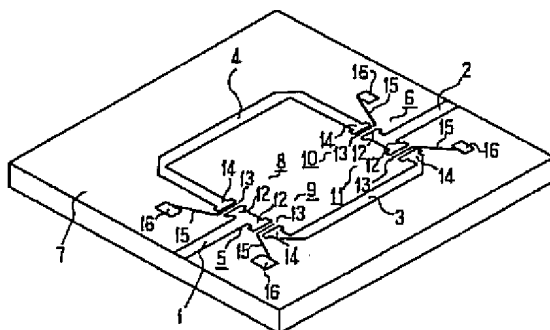

第 10 図
(a)

第 10 図
(b)


第 11 図



1 : 入力線路
2 : 出力線路
3 : 第1の分岐線路
4 : 第2の分岐線路
5 : 第1のSPDTスイッチ
6 : 第2のSPDTスイッチ

第 1 2 図



- 1 : 入力線路
- 2 : 出力線路
- 3 : 第 1 の分岐線路
- 4 : 第 2 の分岐線路
- 5 : 第 1 の SPDT スイッチ
- 6 : 第 2 の SPDT スイッチ
- 7 : 半導体基板
- 8 : 第 1 の FET
- 9 : 第 2 の FET
- 10 : 第 3 の FET
- 11 : 第 4 の FET
- 12 : ドレイン電極
- 13 : ゲート電極
- 14 : ソース電極
- 15 : バイアス抵抗
- 16 : バイアス端子

第 1 頁の続き

⑫発明者	未松	憲治	神奈川県鎌倉市大船 5 丁目 1 番 1 号	三菱電機株式会社電子システム研究所内
⑬発明者	重松	智徳	神奈川県鎌倉市大船 5 丁目 1 番 1 号	三菱電機株式会社電子システム研究所内

INDUCTOR UTILIZING CARBON NANOTUBE AND/OR CARBON NANOFIBER

Patent number: JP2002134325

Publication date: 2002-05-10

Inventor: SHIN, JIN-KOOG; KIM, GYU-TAE; HAKUISU, KIM

Applicant: LG ELECTRONICS INC

Classification:

- International: G01B31/02; D01F9/127; H01F17/00; G01B31/00;
D01F9/12; H01F17/00; (IPC1-7): H01F17/02; B82B3/00;
G01B31/02; H01F41/04

- European: G01B31/02B; D01F9/127; H01F17/00A; Y01N8/00

Application number: JP20010207388-20010709

Priority number(s): KR200000039122-20000708

Also published as:

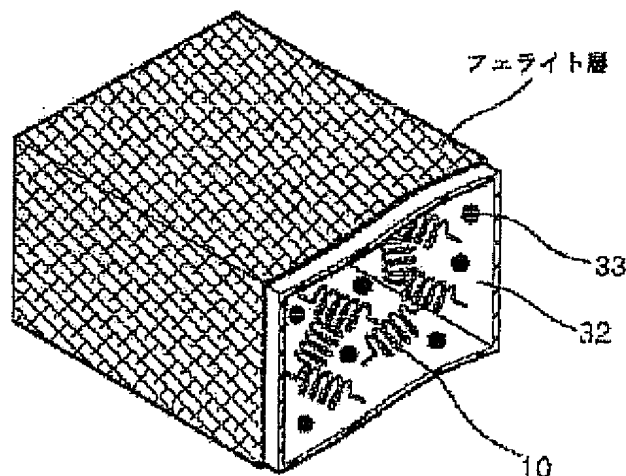
US6784779 (B2)

US2002005463 (A1)

[Report a data error here](#)

Abstract of JP2002134325

PROBLEM TO BE SOLVED: To provide an ultra-miniaturized inductor. **SOLUTION:** The ultra-miniaturized inductor is constituted by winding carbon nanotubes (carbon nanofibers) into coil-like shapes. Catalyst is fixed at aimed positions on a substrate and the carbon nanotubes are composed among in the catalyst. In addition, an assembly is obtained, by collecting many carbon nanotubes formed into coil-like shapes and compressing the collected nanotubes. In another embodiment, the carbon nanotubes composed in coil-like shapes are constituted in complexes mixed with a matrix of an insulator, ceramic material, semiconductor, etc.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-134325

(P2002-134325A)

(43) 公開日 平成14年5月10日 (2002.5.10)

(51) Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 1 F 17/02		H 0 1 F 17/02	4 G 0 4 6
B 8 2 B 3/00		B 8 2 B 3/00	5 E 0 6 2
C 0 1 B 31/02	1 0 1	C 0 1 B 31/02	1 0 1 F 5 E 0 7 0
H 0 1 F 41/04		H 0 1 F 41/04	B

審査請求 有 請求項の数9 O L (全 6 頁)

(21) 出願番号 特願2001-207388(P2001-207388)

(22) 出願日 平成13年7月9日(2001.7.9)

(31) 優先権主張番号 2 0 0 0 / 3 9 1 2 2

(32) 優先日 平成12年7月8日(2000.7.8)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 590001669

エルジー電子株式会社

大韓民国, ソウル特別市永登浦区汝矣島洞
20

(72) 発明者 ジン・クーグ・シン

大韓民国・ソウル・カンナンク・イルウ
オン・ドン・711・スセオ アパートメン
ト・118-207

(74) 代理人 100064621

弁理士 山川 政樹

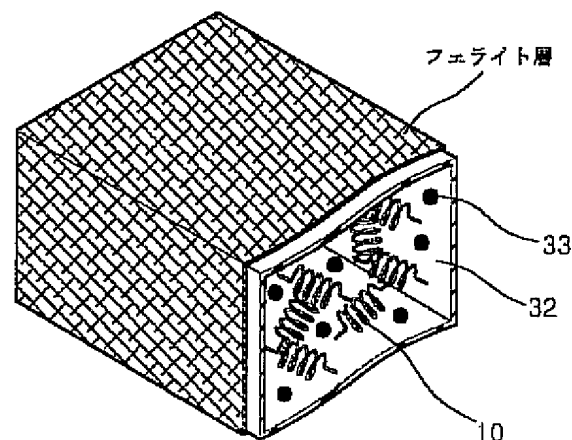
最終頁に続く

(54) 【発明の名称】 カーボンナノチューブ及び/またはカーボンナノファイバーを利用したインダクター

(57) 【要約】

【課題】 超小型のインダクターを提供する。

【解決手段】 本発明はカーボンナノチューブ(カーボンナノファイバー)をコイル状に形成させてインダクターとした。基板上の目的とする位置に触媒を固定して、その固定された触媒の間にカーボンナノチューブを合成する。また、カーボンナノチューブをコイルの形状に合成したものを多数集めて圧縮して集合体とした。さらに、他の実施形態としては、コイルの形状に合成されたカーボンナノチューブを絶縁体、セラミックまたは半導体などのマトリックスと混合された複合体とする。



【特許請求の範囲】

【請求項1】 コイル状に合成されたカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかを含むことを特徴とするカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかを利用したインダクター。

【請求項2】 前記カーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかは、基板上の目的とする位置に触媒が各々固定されて、その固定された触媒間に合成されることを特徴とする請求項1に記載のカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかを利用したインダクター。

【請求項3】 前記触媒はFe、Ni、Coなどの転移金属または転移金属の合金であることを特徴とする請求項2に記載のカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかを利用したインダクター。

【請求項4】 コイルの形状に合成されたカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかが圧縮された集合体を含むことを特徴とするカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかを利用したインダクター。

【請求項5】 コイルの形状に合成されたカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかが絶縁体、セラミックまたは半導体などのマトリックスと混合された複合体として含むことを特徴とするカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかを利用したインダクター。

【請求項6】 前記複合体の内部にはフェライトなどの磁性粉末がさらに添加されることを特徴とする請求項5に記載のカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかを利用したインダクター。

【請求項7】 前記複合体の表面にはフェライトなどの磁性体層が形成されることを特徴とする請求項5に記載のカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかを利用したインダクター。

【請求項8】 前記カーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかは熱分解法、触媒熱分解法、プラズマ気相蒸着法、ホットフィラメント気相蒸着法などの方法中でいずれか一つの方法で合成されることを特徴とする請求項1、4または5中のいずれか一に記載のカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかを利用したインダクター。

【請求項9】 前記カーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかにはP、B、Si、Nなどの元素がドーピングされることを特徴とする請求項1、4または5中のいずれか一に記載のカーボンナノチューブまたはカーボンナノファイバー及びその

双方のいずれかを利用したインダクター。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はインダクターに関するものであり、さらに詳細にはナノの大きさまたはマイクロの大きさの微細素子に利用できるインダクターに関するものであり、特にコイル状に合成されたカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかを利用して、微細回路上で高いインダクタンス値を有することができるカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかを利用したインダクターに関するものである。

【0002】

【従来の技術】最近携帯用電話機、マイクロコンピュータ等のような電子製品における高集積度、小型化の趨勢にしたがって素子の小型化は大きな課題になっている。

【0003】電子回路の3大主動素子としてはインダクター、抵抗、キャパシタがあるが、抵抗とキャパシタの場合には小型化が比較的容易である。しかし、インダクターの場合にはその複雑な形状によって小型にするのに多くの困難がある。

【0004】図1は従来のバターニング方法を利用してコイル状に形成したチップインダクター(chip inductor)の構造を示した図面である。

【0005】従来のチップインダクター1、2は、図1に図示されたように、バターニングを利用してコイルを人為的に作ってインダクタンスを実現した。しかし、その性能上の限界によって高いインダクタンス値を有するインダクターを得ることがで

【0006】また、従来の微細なインダクターを製造する他の方法として、MEMS(Micro Electro Mechanical System)やマルチ層(multi-layer)技術を利用して製作する技術があるが、性能上、費用上の問題点がある。これにより、インダクターとして利用できる新しい素材の開発及び微細なインダクターの製造方法に対する開発が研究されている。

【0007】一方、インダクタンスは、一定の透磁率を有する媒質を取り囲んでいる伝導体への逆起電力によっても誘起される。その時、巻線の抵抗が高ければ抵抗によるジュール熱が生じてインダクタンスL成分よりは抵抗R成分が増加する。そのため、高い電流を通過させることができるようにするためには巻線を抵抗の小さい物質で作らなければならない。

【0008】そして、微細素子であって高いインダクタンスを有するためには、狭い素子内で高い電気伝導度を有するコイルを形成しなければならず、また、磁気エネルギー保存が容易でなければならない。このような特性を備えた素材開発が要求されている状況である。

【0009】

【発明が解決しようとする課題】本発明は前記のような

与件を勘案して創出されたものであり、特にコイル状に合成されたカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかを利用して、ナノの大きさまたはマイクロの大きさの微細回路上に高いインダクタンス値を有することができるカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかを利用したインダクターを提供することが目的である。

【0010】

【課題を解決するための手段】前記の目的を達成するために本発明によるカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかを利用したインダクターは、コイル状に合成されたカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかを含む点にその特徴がある。ここで、前記カーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかは、基板上の目的する位置に触媒が各々固定されて、その固定された触媒間で合成される点にその特徴がある。

【0011】また、前記の目的を達成するために本発明によるカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかを利用したインダクターの他の実施例は、コイルの形状に合成されたカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかが圧縮された集合体を含む点にその特徴がある。

【0012】また、前記の目的を達成するために本発明によるカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかを利用したインダクターのまた他の実施例は、コイルの形状に合成されたカーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれかが絶縁体、セラミックまたは半導体などのマトリックスと混合された複合体を含む点にその特徴がある。

【0013】

【発明の実施の形態】以下、添付した図面を参照して本発明実施形態をより詳細に説明する。一般に、カーボンナノチューブまたはカーボンナノファイバー及びその双方のいずれか（以下カーボンナノチューブとして説明する）の合成工程には触媒を必要とする。そして、このような触媒の大きさと形状を適切に制御することによって、触媒の各々異なる結晶面で成長されるカーボンナノチューブが相互にからまるようにすることができる。これにより、コイルの形状を有するカーボンナノチューブが成長できる。これは露出された触媒結晶面の面指数と関連した現象であり、触媒に物理的、化学的に吸着された炭素と水素の析出及び成長条件が結晶面にしたがって異なるためである。

【0014】数行して説明すると、触媒が多面体形態として存在して各々の面の物性が異なるので、各々異なる結晶面は吸着性質が異なる。これによってカーボンの蒸

着と成長も変わるようになる。これにより、結果的に三方向の成長速度が異なるカーボンナノチューブはねじられてコイル状になる。この時、成長するカーボンナノチューブの形状は用いられるガスの組成、配合比、流量とも密接な関連がある。

【0015】その製造工程で用いられる触媒としては鉄(Fe)、ニッケル(Ni)、コバルト(Co)またはこれらの合金が利用される。これらの触媒は転移金属で強磁性を有するので透磁率の上昇に寄与する。したがって、成長されたカーボンナノチューブをインダクターとして利用する場合には、触媒として用いられた転移金属を除去するための精製工程が必要ないという長所がある。

【0016】図2は本発明によってカーボンナノチューブで形成したインダクターを概念的に示した図面である。これは、成長されたカーボンナノチューブ10それ自体が一つのインダクターとして用いられることを示している。このカーボンナノチューブ10が成長するコイルの太さと、長さ当たり巻かれた回数とは合成条件調節を通して制御が可能である。これにより、コイル状のカーボンナノチューブ10は単独でインダクターとして用いられる場合に、同じ長さでも多様なインダクタンス値を持つようにすることができる。

【0017】一方、カーボンナノチューブ10の製造方法としてはアセチレンの熱分解工程を利用する場合もある。この時、触媒としてはニッケルとコバルト粉末を使用し、必要によってはアセチレンガスに多少のチオフェンを添加する。製造工程の温度は680～1,000℃の範囲で行われる。

【0018】合成工程の一例をより具体的に説明すると、20ナノメートルニッケルパウダーを準備してこれを石英ボートに入れる。そのボートを水平管状炉（電気炉）のチューブ（リアクター）中央に置いて680～1,500℃の温度で水素を15分間流した。その後水素を分当り40cc、アセチレン(C_2H_2)を分当り10ccを混入させた。この時、水素及びアセチレンの分圧は各々48,000パスカル(0.47気圧)及び6,650パスカル(0.07気圧)とした。このような工程を通してコイル状のカーボンナノチューブを成長させることができた。

【0019】前記で説明した熱分解法以外に、触媒熱分解法、プラズマ気相蒸着法、ホットフィラメント気相蒸着法などを利用することができ、メタン、アセチレン、一酸化炭素、ベンゼン、エチレンなどの炭化水素化合物を原料として使用する場合もある。

【0020】図3は本発明実施形態によって特定位置の触媒間で成長させたカーボンナノチューブで得たインダクターを概念的に示した図面である。すなわち、基板上の所望の位置に適当な触媒12を固定させて、その間でカーボンナノチューブ10を合成してインダクターとし

て使用できるように成長させたであることを示したものである。

【0021】このカーボンナノチューブ10は熱分解法、触媒熱分解法、プラズマ気相蒸着法、ホットフィラメント気相蒸着法などを利用して製造できる。

【0022】そして、図4は本発明実施形態によるカーボンナノチューブを利用したインダクターの一例として、カーボンナノチューブが集合体の形状を形成している場合を概念的に示した図である。すなわち、カーボンナノチューブを多量に含む一つのコイル集合体20を形成させて、これをインダクターとして用いることを示したものである。

【0023】このような集合体20として形成されたインダクターを利用する場合には、単一コイルより高いインダクタンス値を有するインダクターを形成させることができる。そして、このような集合体20の合成法においては、一旦カーボンナノチューブを合成して、その合成されたカーボンナノチューブをバインダーなどを利用して圧縮する方法や水溶液中に沈めて集合体20を形成させることができる。

【0024】また、図5は本発明によるカーボンナノチューブを利用したインダクターの一例であり、カーボンナノチューブがマトリックスと複合体で形成された場合を概念的に示した図面である。

【0025】これはカーボンナノチューブ10と絶縁体、セラミック、半導体などのマトリックス32へ混入させた複合体30を形成して、これをインダクターとして利用することを示したことである。前記のような複合体30の形成方法としてはカーボンナノチューブ10を合成して、その合成されたカーボンナノチューブ10を溶融状態のポリマーその他のプラスチックにコイルにしたチューブ10を混入させたり、マトリックスとなるセラミックスなどの粉末に混入させて焼結するなどによって複合体30を形成できる。

【0026】この時、電気伝導はコイル状のカーボンナノチューブ10が担当し、前記マトリックス32は単純に体積当たりコイルの数のみを調節する役割を果たしている。すなわち、コイル状のカーボンナノチューブ10とマトリックス32の配合比によって所望する帯域のインダクタンス値を調節できる。

【0027】図5に示した複合体30の場合には分散されたカーボンナノチューブ10相互間の電気的な連結が保障されなければならないが、これはパーコレーション(percolation)理論で計算できる。その計算によると数十分の一〜数重量パーセントの範囲で3次元相互連結がなされることが分かる。そして、カーボンナノチューブは高いアスペクト比率を有するので極少量添加でもカーボンナノチューブ相互間の連結を形成させることができる。

【0028】ここで、前記マトリックス32はその材料

としてフェライトを利用することもできる。また、このような複合体30はその特性を向上させるために、図6に示したように、フェライトなどの磁性体粉末33を添加させることによって透磁率を増進させることもできる。この時、添加された磁性体粉末33は複合体30内部に分散されて混ざっている。図6は本発明によるカーボンナノチューブを利用したインダクターの一例として、カーボンナノチューブがマトリックスと複合体として形成されるときに、複合体内部にフェライトなどの磁性粉末をさらに添加した場合を概念的に示した図面である。

【0029】一方、図7は本発明によるカーボンナノチューブを利用したインダクターの一例であり、図5及び図6に示した複合体の表面にフェライト層を形成させた状態を示した図である。この時、複合体の表面に形成されるフェライトなどの磁性体層は厚膜で形成することもでき、薄膜で形成されることもできる。

【0030】一方、図2ないし図7に示したようなカーボンナノチューブを利用したインダクターの電気的特性は各カーボンナノチューブの電気的特性に依存する。そして、各コイル状のカーボンナノチューブの電気的特性は各コイルの直径、キラリティー(chirality)の調節によって変わる。したがって、成長するカーボンナノチューブの構造を制御することによってその電気的特性を調節できる。これは合成条件を制御することによって可能である。

【0031】また、コイル状のカーボンナノチューブはP、B、Si、Nなどの元素によるドーピングが可能である。そして、そのドーピング元素の種と量によりカーボンナノチューブの電気的特性を変えることができる。

【0032】コイル状のカーボンナノチューブの集合体や複合体として生成させた場合には、その集合体、複合体を大きなブロックとして形成させ、それをダイシングして小さなブロックとしその端面に金その他の導電体をコーティングしてインダクター素子として利用することもできる。

【0033】

【発明の効果】このような本発明によると、熱分解法などの合成方法によって合成されたカーボンナノチューブをインダクター素子として利用することによって、ナノの大きさまたはマイクロの大きさの微細回路上で高いインダクタンス値を有するインダクターを実現でき、大量生産で低費用のインダクターを提供できる長所がある。

【図面の簡単な説明】

【図1】従来のパターンニング方法を利用してコイル状が用意されたチップインダクターの構造を示した図である。

【図2】本発明によってカーボンナノチューブで形成したインダクターを概念的に示した図である。

【図3】本発明によって特定位置の触媒間で成長させた

カーボンナノチューブで構成させたインダクターを概念的に示した図である。

【図4】本発明によるカーボンナノチューブを利用したインダクターの一例であり、カーボンナノチューブが集合体の形状を形成している場合を概念的に示した図である。

【図5】本発明によるカーボンナノチューブを利用したインダクターの一例であり、カーボンナノチューブがマトリックスと複合体として形成された場合を概念的に示した図である。

【図6】本発明によるカーボンナノチューブを利用したインダクターの一例であり、カーボンナノチューブがマトリックスと複合体として形成されるときに、複体内

部にフェライトなどの磁性粉末がさらに添加された場合を概念的に示した図である。

【図7】本発明によるカーボンナノチューブを利用したインダクターの一例であり、図5及び図6に示した複合体の表面にフェライト層が形成された状態を示した図である。

【符号の説明】

10：カーボンナノチューブ

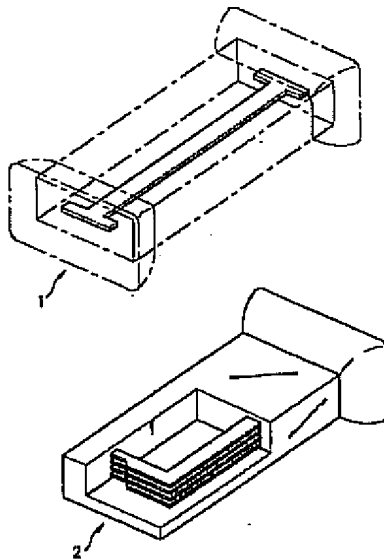
20：コイル集合体

30：複合体

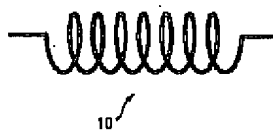
32：マトリックス

33：磁性体粉末

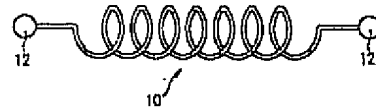
【図1】



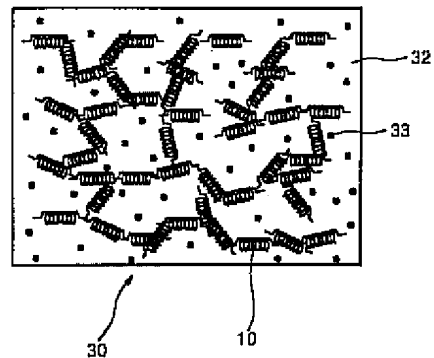
【図2】



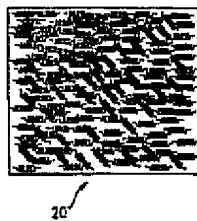
【図3】



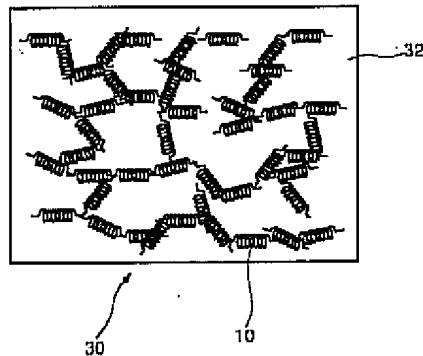
【図6】



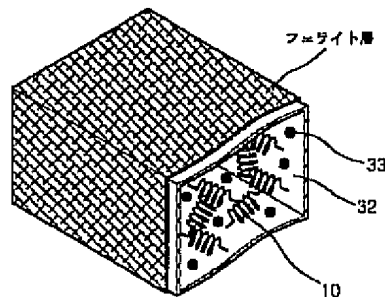
【図4】



【図5】



【図7】



フロントページの続き

(72)発明者 ギュ・タエ・キム
大韓民国・ソウル・クワナク・シリム
2-ドン・番地なし・シリム ヒュンダイ
アパートメント・108-1205

(72)発明者 ハク・ス・キム
大韓民国・キョエオンギード・スウォン
シティ・クウォンスン・クウォンス
ン・ドン・番地なし・サムソン アパート
メント・5-606

Fターム(参考) 4G046 CB08 CC06 CC08
5E062 FF00 FF03
5E070 AA01 AB10 CC10

HIGH-FREQUENCY COMPOSITE SWITCH MODULE

Patent number: JP2002118487

Publication date: 2002-04-19

Inventor: SATOU HIROKI, TSURUNARI TETSUYA, MURAKAMI KOZO, OMORI YOSHIHARU, HAYAMA MASAOKI

Applicant: MATSUSHITA ELECTRIC IND CO LTD

Classification:

-International: H04B1/48, H04B1/50, H04B1/40, H04B1/44, H04B1/50, H04B1/40, HPC1/71, H04B1/48, H01L25/00, H01P1/10, H03H9/25, H03H9/72, H03K17/00

-European: H04B1/48, H04B1/50

Application number: JP20000307276 20001006

Priority number(s): JP20000307276 20001006

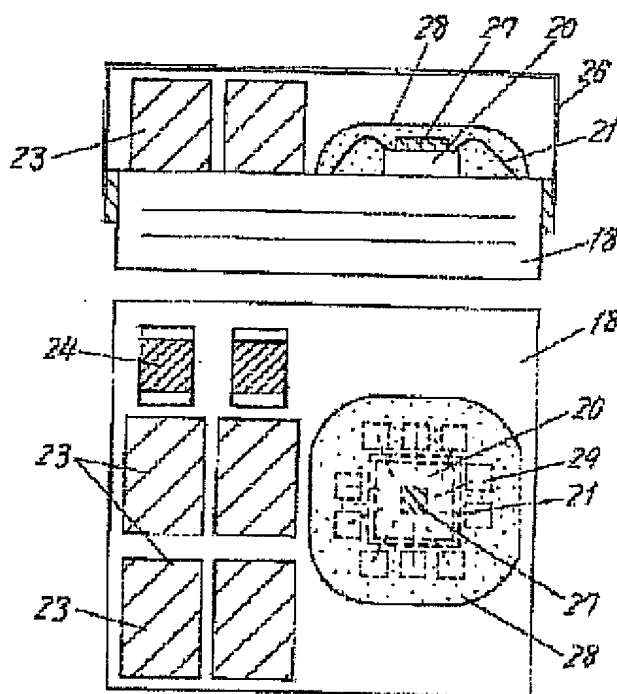
Also published as:

EP1233528 (A1)
WO0232001 (A1)
US6759925 (B2)
US2003048154 (A1)

Report a data error here

Abstract of JP2002118487

PROBLEM TO BE SOLVED: To provide a small/short high-frequency composite switch module which handles the signal of one or more transmission reception systems with different passbands. **SOLUTION:** A wave branching/synthesizing circuit, a switch circuit, and a low-pass filter are main components. They are formed in a laminated body comprising an electrode pattern and a dielectrics layer. At least on the laminated body, elastic surface wave filters corresponding to a plurality of passbands and a part of the switch circuit are provided. A space is formed where the elastic surface wave filter is allowed for elastic surface wave oscillation by a lid provided on its surface, which is sealed for air tightness.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-118487
(P2002-118487A)

(43) 公開日 平成14年4月19日 (2002.4.19)

(51)Int.Cl. ⁷	識別記号	F I	テームコード*(参考)	
H 0 4 B	1/48	H 0 4 B	1/48	5 J 0 5 5
H 0 1 L	25/00	H 0 1 L	25/00	B 5 J 0 9 7
H 0 1 P	1/10	H 0 1 P	1/10	5 K 0 1 1
H 0 3 H	9/25	H 0 3 H	9/25	A
	9/72		9/72	

審査請求 未請求 請求項の数 8 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願2000-307276 (P2000-307276)

(22) 出願日 平成12年10月6日 (2000.10.6)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 佐藤 祐己

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 鶴成 哲也

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 10009/445

弁理士 岩橋 文雄 (外2名)

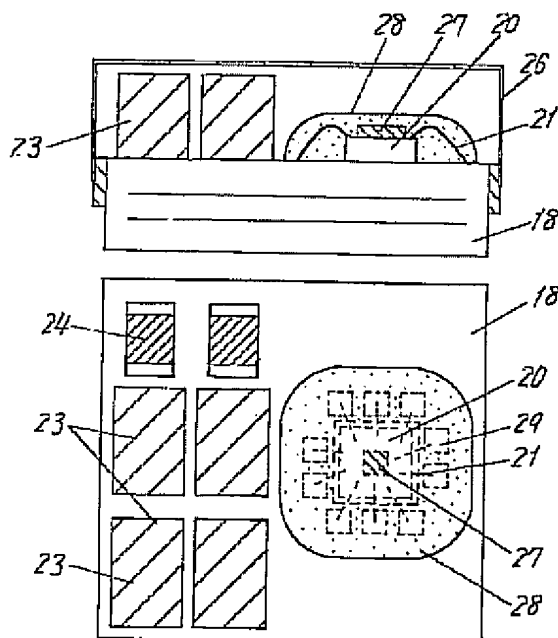
最終頁に続く

(54) 【発明の名称】 高周波複合スイッチモジュール

(57) 【要約】

【課題】 通過帯域の異なる一つ以上の送受信系の信号を扱う高周波複合スイッチモジュールであって、小型低背化を目的とするものである。

【解決手段】 分波・合波回路、スイッチ回路、低域通過フィルタを主構成とし、それらを電極パターンと誘電体層とからなる積層体内に主形成するとともに、少なくとも前記積層体上に複数の通過帯域に対応する弾性表面波フィルタおよび前記スイッチ回路の一部を配設し、前記弾性表面波フィルタがその表面上に設けられた蓋部により弾性表面波振動を可能にする空間部が形成されるとともに気密封止されることを特徴とするものである。



【特許請求の範囲】

【請求項1】 通過帯域の異なる一つ以上の送受信系の信号を扱う高周波複合スイッチモジュールであって、分波・合波回路、スイッチ回路、低域通過フィルタを主構成とし、それらを電極パターンと誘電体層とからなる積層体内に主形成するとともに、少なくとも前記積層体上に複数の通過帯域に対応する弾性表面波フィルタおよび前記スイッチ回路の一部を構成するダイオードもしくはFETスイッチ素子を配設し、前記弾性表面波フィルタがその表面上に設けられた蓋部により弾性表面波振動を可能にする空間部が形成されるとともに気密封止されることを特徴とする高周波複合スイッチモジュール。

【請求項2】 弾性表面波フィルタと積層体表面に設けられた電極部とをワイヤボンディングで電気的に接続するとともに、その接続部および前記弾性表面波フィルタを覆うように樹脂層を設けたことを特徴とする請求項1記載の高周波複合スイッチモジュール。

【請求項3】 ダイオードもしくはFETスイッチ素子としてベアチップを用いるとともに、前記ベアチップを含めて樹脂層で覆ったことを特徴とする請求項2記載の高周波複合スイッチモジュール。

【請求項4】 積層体表面に樹脂にてベアチップより高い壁をベアチップの周辺に設け、ベアチップを含めて壁の内部を樹脂で覆ったことを特徴とする請求項3記載の高周波複合スイッチモジュール。

【請求項5】 弾性表面波フィルタおよびベアチップのいずれかもしくは両方を積層体上の片側に寄せて配置したことを特徴とする請求項2、3もしくは4のいずれかに記載の高周波複合スイッチモジュール。

【請求項6】 積層体表面全体をほぼ覆うように樹脂層を設けたことを特徴とする請求項1記載の高周波複合スイッチモジュール。

【請求項7】 弾性表面波フィルタと積層体表面に設けられた電極部とをフリップチップボンディングで電気的に接続するとともに、その接続部を覆うように前記弾性表面波フィルタと前記積層体との隙間に樹脂を所定量充填し、弾性表面波振動を可能にする空間部を確保して、その周囲を樹脂で覆って気密封止したことを特徴とする請求項1記載の高周波複合スイッチモジュール。

【請求項8】 弾性表面波フィルタを実装する積層体表面側に予め焼結、平滑にした薄いセラミック基板を用い、前記基板にグリーンシートを複数枚貼り合わせ、前記グリーンシート上に電極パターンを印刷もしくは転写形成し、その後基板全体を焼結したのちに前記弾性表面波フィルタを実装したことを特徴とする請求項1記載の高周波複合スイッチモジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、携帯電話などの移動体通信機器に用いられる高周波複合スイッチモジュールに関するものである。

【0002】

【従来の技術】 図1に時分割多元接続方式による欧州携帯電話規格であるGSM/DCSデュアルバンド携帯電話におけるアンテナ共用器回路ブロックの一例を示す。図1において、1はアンテナ端子、2はGSM-TX端子、3はGSM-RX端子、4はDCS-TX端子、5はDCS-RX端子、6はGSM帯とDCS帯の周波数成分を分波・合波するダイプレクサ、7および8は送信受信を切り分けるスイッチ、9および11は各高調波成分を除去するLPF、10および12は各受信帯域を通過帯域とする弾性表面波フィルタ(SAW)である。図9に従来の概アンテナ共用器の構成を示す。図9において、18はセラミック積層基板、19はアルミナパッケージ、20はSAWチップ、21はボンディングワイヤ、22はアルミナパッケージ19のリッド、23はスイッチ素子となるダイオード、24はチップ部品、25はアルミナパッケージに形成されたワイヤボンディングのパッド、26は金属キャップであり、セラミック積層基板18中にLPFやダイプレクサ回路が構成されている。

【0003】

【発明が解決しようとする課題】 しかしながら、上記の構成においては、SAWチップ20がアルミナパッケージ19に格納され、セラミック積層基板18上にマウントされている構成であり、小型低背化しようとする、リッド22を用いて気密封止するためにアルミナパッケージ19に肉厚19aが約0.5-1.0mm必要であり、ある程度以上の小型化は極めて困難であった。

【0004】

【課題を解決するための手段】 そしてこの課題を解決するために本発明は、通過帯域の異なる一つ以上の送受信系の信号を扱う高周波複合スイッチモジュールであって、分波・合波回路、スイッチ回路、低域通過フィルタを主構成とし、それらを電極パターンと誘電体層とからなる積層体内に主形成するとともに、少なくとも前記積層体上に複数の通過帯域に対応する弾性表面波フィルタおよび前記スイッチ回路の一部を構成するダイオードもしくはFETスイッチ素子を配設し、前記弾性表面波フィルタがその表面上に設けられた蓋部により弾性表面波振動を可能にする空間部が形成されるとともに気密封止されることを特徴とするものである。

【0005】

【発明の実施の形態】 本発明の請求項1に記載の高周波複合スイッチモジュールは、通過帯域の異なる一つ以上の送受信系の信号を扱う高周波複合スイッチモジュールであって、分波・合波回路、スイッチ回路、低域通過フィルタを主構成とし、それらを電極パターンと誘電体層とからなる積層体内に主形成するとともに、少なくとも前記積層体上に複数の通過帯域に対応する弾性表面波フ

フィルタおよび前記スイッチ回路の一部を構成するダイオードもしくはFETスイッチ素子を配設し、前記弾性表面波フィルタがその表面上に設けられた蓋部により弾性表面波振動を可能にする空間部が形成されるとともに気密封止されることを特徴とするものである。

【0006】上記の構成とすることにより、弾性表面波の発生する部位に空間が設けられて気密封止されているために弾性表面波フィルタが積層体上に他のチップ部品と同様にそのまま実装できるため、極めて小型で、低背化を図ることができる。本構成を有する高周波複合スイッチモジュールは従来の構成とは異なり、本発明の最大の特徴である。

【0007】本発明の請求項2に記載の高周波複合スイッチモジュールは、弾性表面波フィルタと積層体表面に設けられた電極部とをワイヤボンディングで電気的に接続するとともに、その接続部および前記弾性表面波フィルタを覆うように樹脂層を設けたことを特徴とするものである。

【0008】上記の構成とすることにより、樹脂層により、外部からの衝撃や振動などに対して機械的信頼度を向上させるだけでなく、通常、樹脂として有色樹脂を用いれば光照射による電子ポテンシャル励起を低減することができ、より高安定な高周波複合スイッチモジュールとすることができる。

【0009】本発明の請求項3に記載の高周波複合スイッチモジュールは、ダイオードもしくはFETスイッチ素子としてベアチップを用いるとともに、前記ベアチップを含めて樹脂層で覆ったことを特徴とするものである。

【0010】上記の構成とすることにより、弾性表面波フィルタチップのほか、スイッチを構成するすべてのチップをベアチップとして同時に実装、積層基板との接続、気密封止を行うことができ、製造容易になるだけでなく、コストを低減する効果がある。本発明においても、樹脂として有色樹脂を用いることにより、光照射による電子ポテンシャル励起を低減することができ、歪特性、アイソレーション特性、挿入損失特性の安定化を図ることができる。

【0011】本発明の請求項4に記載の高周波複合スイッチモジュールは、積層体表面に樹脂にてベアチップより高い壁をベアチップの周辺に設け、ベアチップを含めて壁の内部を樹脂で覆ったことを特徴とするものである。

【0012】上記の構成とすることにより、樹脂をポッティングする際に必要以上のエリアへの樹脂の流出を防ぎ、ポッティング樹脂で覆われる領域が制限できるため、樹脂の流失しを最小限とすることが出来て小型化が容易となり、ひいては部品の歩留まりを良化させることができる。

【0013】本発明の請求項5に記載の高周波複合スイ

ッチモジュールは、弾性表面波フィルタおよびベアチップのいずれかもしくは両方を積層体上の片側に寄せて配置したことを特徴とするものである。

【0014】上記の構成とすることにより、ベアチップ実装に掛かる領域が積層体の片側に寄っているため、他のチップ部品を半田実装する際、半田ペーストを厚膜印刷により構成することができ、且つフラックスの洗浄においても効率化できるため、製造が容易化できる効果がある。なお、本発明における片側に寄るとは、ベアチップ部品とチップ部品が左右もしくは上下でセパレートしていることを含み、この構成であれば同様の効果が得られる。

【0015】本発明の請求項6に記載の高周波複合スイッチモジュールは、積層体表面全体をほぼ覆うように樹脂層を設けたことを特徴とするものである。

【0016】上記の構成とすることにより、機械的信頼性を更に向上させると共に、特に一括処理する際に製造容易となり低コスト化が図れる。

【0017】本発明の請求項7に記載の高周波複合スイッチモジュールは、弾性表面波フィルタと積層体表面に設けられた電極部とをフリップチップボンディングで電気的に接続するとともに、その接続部を覆うように前記弾性表面波フィルタと前記積層体との隙間に樹脂を所定量充填し、弾性表面波振動を可能にする空間部を確保して、その周囲を樹脂で覆って気密封止したことを特徴とするものである。

【0018】上記の構成とすることにより、弾性表面波フィルタを積層体上にフリップチップさせ得るとともに気密封止も可能せしめることができる。その結果、超小型低背化された高周波フィルタを得ることができる。

【0019】本発明の請求項8に記載の高周波複合スイッチモジュールは、弾性表面波フィルタを実装する積層体表面側に予め焼結、平滑にした薄いセラミック基板を用い、前記基板にグリーンシートを複数枚貼り合わせ、前記グリーンシート上に電極パターンを印刷もしくは転写形成し、その後基板全体を焼結したのちに前記弾性表面波フィルタを実装したことを特徴とするものである。

【0020】上記の構成とすることにより、予め焼結されたセラミック基板を用いるために、弾性表面波フィルタの実装面を平らかつ滑らかな状態にすることが容易にできるために、製造上、極めて高い信頼性を実現することができる。また、セラミック基板にはアルミナやフォスファイトなどを用いることができる。さらに、セラミック基板に低温焼結材料のグリーンシートを貼り合わせると、LPFやダイプレクサ回路を銅もしくは銅など、抵抗値の低い電極材料を用いることができ、回路損失を低減することができる。

【0021】(実施の形態1)以下、本発明の一実施の形態について図面を参照しながら説明する。

【0022】図1から図4は、本発明で適用されうる回

路ブロックであり、ここでも欧州携帯電話規格GSM/DCSを例にとっている。図1から図4において13はGSM帯、DCS帯において送信受信を切り分けるスイッチ、14および15はダイプレクサ、16は高調波除去用のLPF、17はSP4Tスイッチである。

【0023】図1に示す回路ブロックは、アンテナ端子1から見て、まずダイプレクサ6によってGSMとDCS帯に分波・合波される。その後スイッチ7および8において送信側はLPF9および11、受信側はSAW10および12と接続されて各端子とつながる。

【0024】図2に示す回路ブロックでは、アンテナ端子から見て、まずスイッチ13により送信信号と受信信号に切り分けられ、その後、ダイプレクサ14および15においてGSM帯とDCS帯にそれぞれ分波・合波され、送信側はLPF9および11、受信側はSAW10および12と接続されて各端子とつながる。

【0025】図3に示す回路ブロックでは、送信の高調波成分を除去するLPF16をアンテナ端子1直下に接続し、その後、SP4Tスイッチ17によって各端子に配分されるとともに、受信側にはSAW10および12と接続されて各端子とつながる。

【0026】図4に示す回路ブロックでは、アンテナ端子1直下にSP4Tスイッチ17が接続され、送信側はLPF9および11、受信側はSAW10および12と接続されて各端子とつながる。

【0027】なお、上記の回路ブロックにおいてスイッチ7、8、13および17はダイオードもしくはFETを用いて構成することができ、LPF9、11および16、ダイプレクサ6、14および15は積層体中に構成できる。

【0028】本発明の第1の実施の形態について図5に示す。図5において、27はSAWチップ20の弾性振動部について空間部を形成する樹脂部（以下マイクロキャビティと称す）、28はポッティング樹脂、29は積層体18上に構成されたワイヤボンディング用パッドである。

【0029】本実施の形態において、SAWチップ20の弾性表面部はマイクロキャビティ27が構成されており、さらにポッティング樹脂28により固められているために、弾性振動を妨げることなく積層体18上にて気密封止されている。その横にはチップ部品23および24が実装されている。

【0030】本構成とすることにより、従来に比べ極めて小型、低背で、別途アルミナパッケージが不要であるために低コスト化できる。さらに、平板状の積層体18として、SAWチップ20の位置とチップ部品23および24を左右に分割することにより、予めチップ部品のみ例えば半田ペーストの印刷、リフロー、洗浄プロセスで実装が簡便にでき、組み立ての容易化により低コスト化への効果が一層増す。

【0031】（実施の形態2）本発明の第2の実施の形態について図6に示す。図6において、30はベアチップのダイオードである。同図に示すように、図5と同様にSAWチップ20の弾性表面部はマイクロキャビティ27が構成されており、さらにポッティング樹脂28により固められているために、弾性振動を妨げることなく積層体18上にて気密封止されている。また、ベアチップダイオード30はSAWチップ20と同様に積層体18上にベアチップ実装され、ポッティング樹脂28によってコーティングされている。

【0032】本構成とすることにより、従来に比べ極めて小型、低背で、別途アルミナパッケージが不要であるために低コスト化できる。さらに、平板状の積層体18として、SAWチップ20の位置とチップ部品23および24を左右に分割することにより、予めチップ部品のみ例えば半田ペーストの印刷、リフロー、洗浄プロセスで実装が簡便にでき、組み立ての容易化により低コスト化への効果が一層増す。また、ベアチップダイオード30の代わりに図3もしくは図4に示す回路ブロックとしてFET素子を具備しても同様な効果が得られる。

【0033】（実施の形態3）本発明の第3の実施の形態について図7に示す。図7において、31はバンパ、32は封止樹脂であり、SAWチップ20と積層体18表面に設けられた電極部とをフリップチップボンディングで電気的に接続するとともに、その接続部を覆うようにSAWチップ20と積層体18との隙間に封止樹脂32を充填し、その際キャップ26に接触することなくその周囲を樹脂で覆って気密封止したことを特徴としている。同図に示すように、図5、6と同様にSAWチップ20の弾性表面部はマイクロキャビティ27が構成されており、弾性振動を妨げることなく積層体18上にて気密封止されている。

【0034】本構成とすることにより、従来に比べ極めて小型、低背で、別途アルミナパッケージが不要であるために低コスト化できる。さらに、平板状の積層体18として、SAWチップ20の位置とチップ部品23および24を左右に分割することにより、予めチップ部品のみ例えば半田ペーストの印刷、リフロー、洗浄プロセスで実装が簡便にでき、組み立ての容易化により低コスト化への効果が一層増す。

【0035】（実施の形態4）本発明の第4の実施の形態について図8に示す。図8において、SAWチップ20と積層体18表面に設けられた電極部とをフリップチップボンディングで電気的に接続するとともに、その接続部を覆うようにSAWチップ20と積層体18との隙間に封止樹脂32を充填し、その際キャップ26に接触することなくその周囲を樹脂で覆って気密封止したことを特徴としている。同図に示すように、図5、6と同様にSAWチップ20の弾性表面部はマイクロキャビティ27が構成されており、弾性振動を妨げることなく積層

体18上にて気密封止されている。また、ペアチップダイオード30は同図封止樹脂32でSAWチップと共にコーティングされている。

【0036】本構成とすることにより、従来に比べ極めて小型、低背で、別途アルミナパッケージが不要であるために低コスト化できる。さらに、平板状の積層体18として、SAWチップ20の位置とチップ部品23および24を左右に分割することにより、予めチップ部品の例えば半田ペーストの印刷、リフロー、洗浄プロセスで実装が簡便にでき、組み立ての容易化により低コスト化への効果が一層増す。また、ペアチップダイオード30の代わりに図3もしくは図4に示す回路ブロックとしてFET素子を具備しても同様な効果が得られる。

【0037】なお、本発明のすべての実施の形態においては、GSM/DCSデュアルバンドシステムへの応用を例にとって示したが、本発明はこれに限定されるものではなく、例えばシングルバンド、トリプルバンドへの応用などが考えられる。

【0038】

【発明の効果】本発明のすべての実施の形態において示したチップ部品の数やSAWチップの数などには、本発明の内容が限定されないことは自明のことであり、例えばチップ部品が全くない場合においても同様の効果が得られる。

【0039】なお、本発明の実施の形態において、キャップ26はなくても構わない。

【図面の簡単な説明】

【図1】本発明の一実施の形態における回路ブロック図

【図2】本発明の他の実施の形態における回路ブロック図

【図3】本発明の他の実施の形態における回路ブロック図

【図4】本発明の他の実施の形態における回路ブロック図

【図5】本発明の第1の実施の形態における構成図

【図6】本発明の第2の実施の形態における構成図

【図7】本発明の第3の実施の形態における構成図

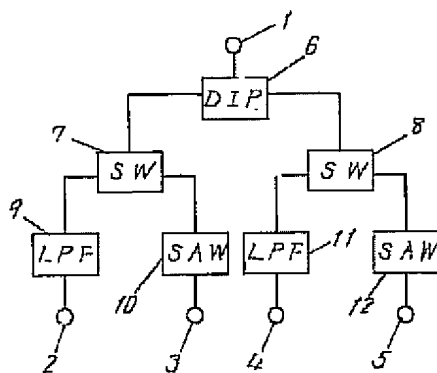
【図8】本発明の第4の実施の形態における構成図

【図9】従来例における構成図

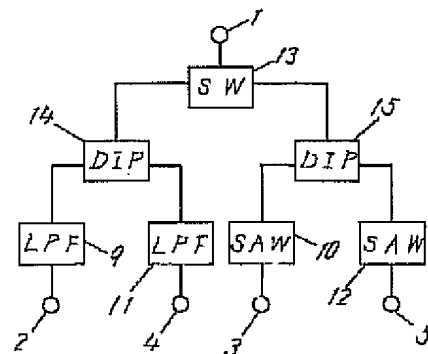
【符号の説明】

- 1 アンテナ端子
- 2 GSM-TX端子
- 3 GSM-RX端子
- 4 DCS-TX端子
- 5 DCS-RX端子
- 6, 14, 15 ダイプレクサ
- 7, 8, 13 スイッチ
- 9, 11, 16 LPF
- 10, 12 SAW
- 18 積層体
- 20 SAWチップ
- 27 マイクロキャビティ
- 28 ボッティング樹脂

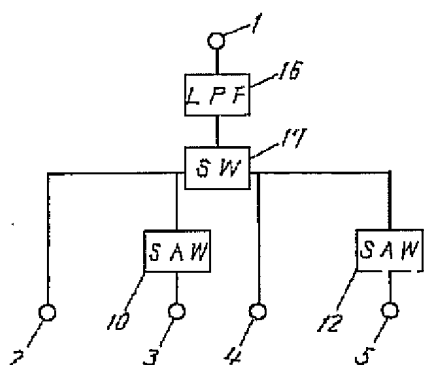
【図1】



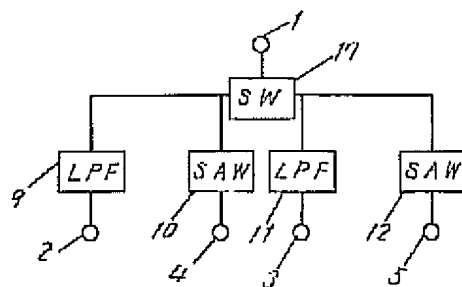
【図2】



【図3】

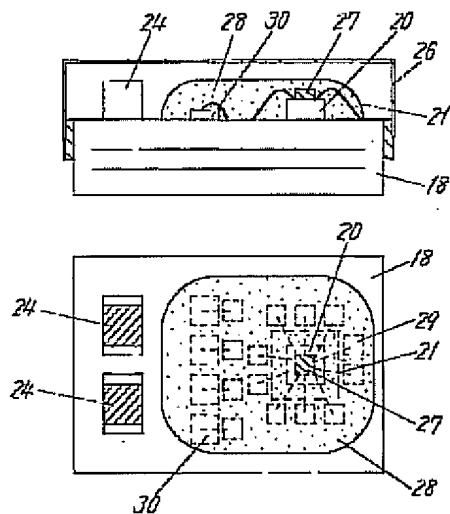
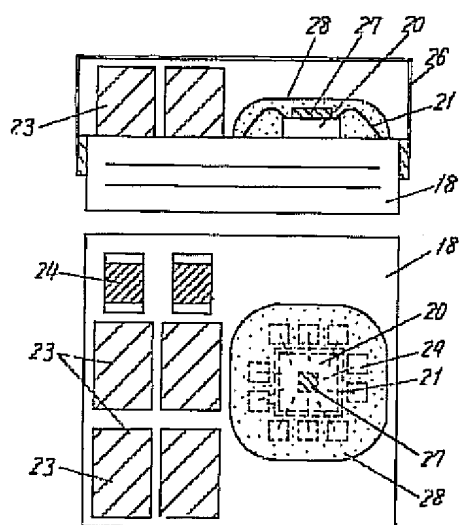


【図4】

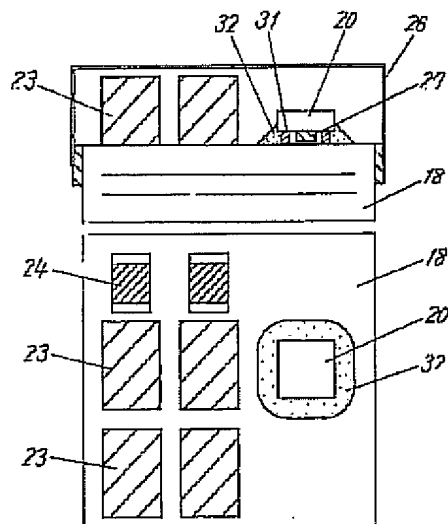


【図6】

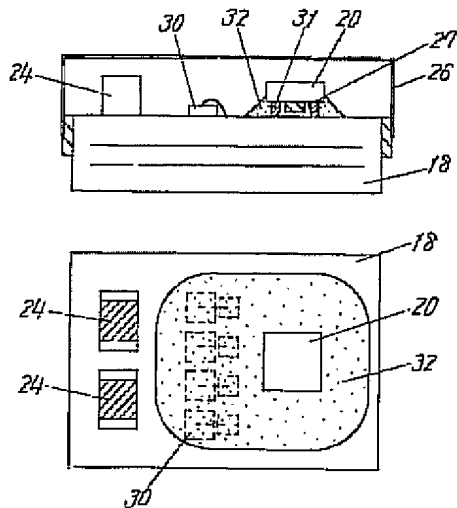
【図5】



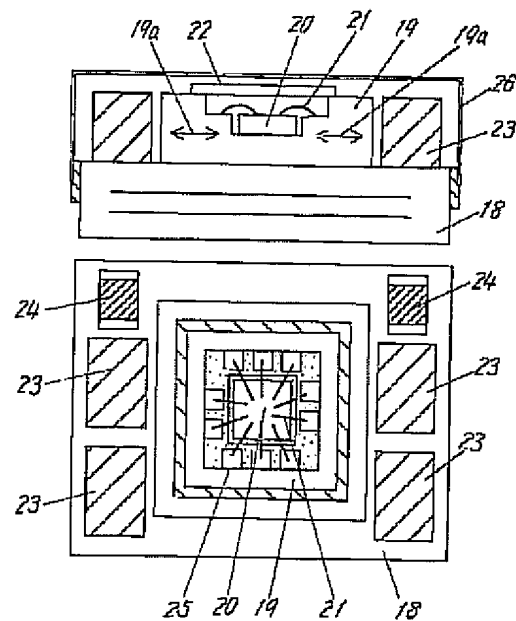
【図7】



【図8】



【図9】



フロントページの続き

(51)Int. Cl.⁷
H 0 3 K 17/00

識別記号

F I
H 0 3 K 17/00

(参考)

E

(72)発明者 村上 弘三
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 大森 吉晴
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 葉山 雅昭
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
Fターム(参考) 5J055 AX42 AX44 BX02 CX00 CX03
DX10 DX12 EZ14 GX02 GX08
GX09
5J097 AA30 AA34 BB15 HA04 JJ01
JJ03 JJ06 LL04
5K011 BA03 DA02 DA21 DA22 FA01
JA01 KA02 KA18

PLANAR ANTENNA

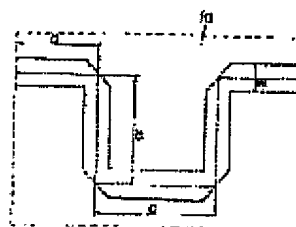
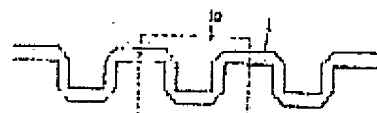
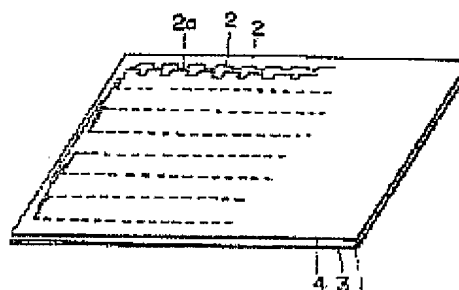
Patent number: JP1233902
 Publication date: 1989-09-19
 Inventor: MIYAJI NOBUAKI, INOUE HIROO
 Applicant: MATSUSHITA ELECTRIC WORKS LTD.
 Classification:
 - international: H01Q13/08; H01Q13/20; H01Q21/08; H01Q13/08;
 H01Q13/20; H01Q21/08; (IPC1-7) H01Q13/08;
 H01Q13/20; H01Q21/08
 - european:
 Application number: JP19880061562-19880315
 Priority number(s): JP19880061562-19880315

[Report a data error here](#)

Abstract of JP1233902

PURPOSE: To reduce the reflection loss at a corner cut part and to improve the antenna gain and the axial ratio by selecting the cut rate of the corner of a crank according to a specific design formula in a planar antenna using a crank type microstrip line.

CONSTITUTION: The shape and size of the microstrip line 2 is selected so that the cut rate $M(\%)$ of the corner of the crank part 2a is expressed as $M = (73 - 0.78Xb - 4.77XW) + \text{or} - 3$, where W (in mm) is the line width of the crank part 2a and (b) (in mm) is the projection of the microstrip line 2 in a direction orthogonal to the lengthwise direction of the microstrip line 2 in a planar antenna similar to a conventional antenna where a ground conductor 3 is arranged to the rear face of a dielectric base 1 with the microstrip line 2 formed on the surface and the crank microstrip line 2 is employed.



⑫ 公開特許公報(A) 平1-233902

⑮ Int. Cl. 4

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)9月19日

H 01 Q 13/20
13/08
21/08

7741-5 J

7741-5 J

7402-5 J 審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 平面アンテナ

⑯ 特 願 昭63-61562

⑰ 出 願 昭63(1988)3月15日

⑱ 発 明 者 宮 地 伸 明 大阪府門真市大字門真1048番地 松下電工株式会社内
 ⑲ 発 明 者 井 上 博 夫 大阪府門真市大字門真1048番地 松下電工株式会社内
 ⑳ 出 願 人 松下電工株式会社 大阪府門真市大字門真1048番地
 ㉑ 代 理 人 弁理士 石田 長七

明 細 書

1. 発明の名称

平面アンテナ

2. 特許請求の範囲

(1) 表面にマイクロストリップラインが形成された誘電体基板の裏面に接地導体を配置し、上記マイクロストリップラインをクランク型とした平面アンテナにおいて、クランク部の線幅を $W(mm)$ 、マイクロストリップラインの長手方向に直交する方向の突出寸法を $b(mm)$ とし、クランク部のコーナのカット率 $M(\%)$ が

$$M = (73 - 0.78 \times b - 4.77 \times W) \pm 3$$

となるようにマイクロストリップラインの形状寸法を設定したことを特徴とする平面アンテナ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、クランク型のマイクロストリップラインを用いた平面アンテナに関するものである。

〔従来の技術〕

従来、クランク型のマイクロストリップライン

を用いたこの種の平面アンテナは、所定の設計式によってマイクロストリップラインの形状寸法を算出しているが、クランク部のコーナ部分で特性インピーダンスが不連続になって反射損失が生じるという問題がある。そこで、クランク部のコーナを適当にカット(経験的にカット率を45~70%に設定)し、反射損失を少なくするようにしている。

〔発明が解決しようとする課題〕

しかしながら、上述の従来例にあつては、クランク部のコーナのカット率を経験的に求めた適当な値に設定していたので、カット部分における反射損失があまり小さくならず、アンテナ利得および軸比が悪くなって設計目標値を満足しない場合があるという問題があった。

本発明は上記の点に鑑みて為されたものであり、その目的とするところは、コーナカット部分における反射損失をより少なくすることができ、アンテナ利得および軸比が良好な平面アンテナを提供することにある。

〔課題を解決するための手段〕

本発明の平面アンテナは、表面にマイクロストリップラインが形成された誘電体基板の裏面に接地導体を配置し、上記マイクロストリップラインをクランク型とした平面アンテナにおいて、クランク部の線幅を $W(\text{mm})$ 、マイクロストリップラインの長手方向に直交する方向の突出寸法を $b(\text{mm})$ とし、クランク部のコーナのカット率 $M(\%)$ が

$$M = (73 - 0.78 \times b - 4.77 \times W) \pm 3$$

となるようにマイクロストリップラインの形状寸法を設定したものである。

〔作 用〕

本発明は上述のように構成されており、クランク型マイクロストリップラインを用いた平面アンテナにおいて、クランク部のコーナ部分での反射損失が少なくなるようなカット率を実験結果および重回帰分析によって求めた設計式により容易に設定できるようにしたものであり、クランク部の線幅を $W(\text{mm})$ 、マイクロストリップラインの長手方向に直交する方向の突出寸法を $b(\text{mm})$ とし、ク

ては、厚さ $t_1(50 \sim 100 \mu\text{m})$ のポリエチレン系合成樹脂よりなる誘電体基板1の表面に、多数のクランク部2aを有するマイクロストリップライン2を形成するとともに、誘電体基板1をアルミニウム板よりなる接地導体3上に積層配置し、マイクロストリップライン2上に厚さ $t_2(1 \pm 0.2 \text{ mm})$ のポリエチレンテレフタレートよりなる保護層4を被覆して平面アンテナが形成されており、中心周波数 f_0 が11.7 GHz \sim 12 GHzで指向角 θ_0 が10 $^\circ$ \sim 30 DEGとなるようにマイクロストリップライン2のクランク部2aの形状(寸法 a, b, c および線幅 W)が設計され、カット率 M は、コーナ部分の対角寸法 x に対するコーナ部分の線幅 d の百分比($d \times 100 / x$)としている。なお、マイクロストリップライン2の厚さは反射損失 R_L に影響の少ない30 μm 程度に設定している。

以下、マイクロストリップライン2の形状寸法の設計式の導出について具体的に説明する。一般に、反射損失 R_L は a, b, c, W, M の相互関係によって大きく影響を受けるので、その形状寸法の設計

クランク部のコーナのカット率 $M(\%)$ を、

$$M = (73 - 0.78 \times b - 4.77 \times W) \pm 3$$

となるようにマイクロストリップラインの形状寸法を設定し、コーナカット部分における反射損失をより少なくしてアンテナ利得および軸比が良好な平面アンテナを容易に実現できるようにするものである。

〔実施例〕

第1図乃至第6図は本発明一実施例を示すもので、表面にマイクロストリップライン2が形成された誘電体基板1の裏面に接地導体3を配置し、上記マイクロストリップライン2をクランク型とした従来例と同様の平面アンテナにおいて、クランク部2aの線幅を $W(\text{mm})$ 、マイクロストリップライン2の長手方向に直交する方向の突出寸法を $b(\text{mm})$ とし、クランク部2aのコーナのカット率 $M(\%)$ が

$$M = (73 - 0.78 \times b - 4.77 \times W) \pm 3 \dots (1)$$

となるようにマイクロストリップライン2の形状寸法を設定したものである。ここに、実施例にあっ

は充分検討する必要がある。特に、反射損失 R_L を -15 [dB] 以下とするには、 f_0, θ_0 の設計目標値をも満足させねばならないので、 a, b, c, W, M の設計値の相互関係の自由度は著しく制約を受けることになる。本発明においては、 f_0, θ_0 および反射損失 R_L の設計目標値を共に満足させる a, b, c, W, M の相互関係を実験によって求め、その領域を明確にして最適な設計式を導き、設計が容易に行えるようにするものである。

ところで、 f_0, θ_0 の設計目標値を満足させる条件から a, c を求める設計式は、理論および実験から b, W, M の関数として以下のようにになっている。

$$a = f_a(W, b, M) \dots \dots \dots (2)$$

$$b = f_b(W, b, M) \dots \dots \dots (3)$$

例えば、

$$f_0 = 11.95 \text{ GHz} \quad \theta_0 = 26 \text{ [DEG]}$$

$$W = 1.5 \text{ mm} \quad b = 8.62 \text{ mm} \quad M = 56 \text{ [\%]}$$

のとき、マイクロストリップライン2のクランク部の形状設計データとして、 $a = 11.19 \text{ [mm]}$ 、 $c = 7.72 \text{ [mm]}$ が得られる。

しかしながら、このときの反射損失 R_L は -12 [dB] となって、目標値である -15 [dB] よりも高い値になっている。

そこで、本発明にあっては、後述する所定の実験サンプルの反射損失 R_L をネットワークアナライザによって測定し、測定によって得られたデータと、重回帰分析手法を用いて導出された設計式によって設計目標値を総て満足する形状寸法 (a, b, c, W, M) を容易に求められるようにしており、カット率 M (%) が (1) 式となるように設定し、コーナカット部分における反射損失 R_L をより少なくしてアンテナ利得および軸比が良好な平面アンテナを容易に実現できるようにしている。なお、この場合、寸法 b は $7 \sim 9$ [mm] の範囲内、線幅 W は $1 \sim 4$ [mm] の範囲内で、アンテナの総合利得、サイドローブなどを考慮して経験的に選択される。すなわち、アンテナの仕様が設定されて、総合利得、交差偏波特性、指向角などより、理論と経験からマイクロストリップライン 2 の線幅 W および b 寸法が設定されれば、(1) 式に基いて反射損失 R_L

が目標値よりも少なくなるコーナのカット率 M (%) が決定でき、次に、(2)(3) 式に基いて寸法 a, c が求められ、総ての設計目標値を満足するマイクロストリップライン 2 の形状寸法が得られ、形状寸法 (a, b, c, W, M) の合理的な設計が容易に且つ短時間に行うことができるようになっている。

以下に設計式 (1) を導出する実験方法について説明する。いま、クランク型のマイクロストリップラインの設計式によるパターン寸法 a, b, c は以下のようにになっている。

$$b + (1 - \eta \cos \theta d) 2a = 2\delta + \lambda_g \left[1 + \frac{1}{\pi} \tan^{-1} H \right]$$

$$b + (1 - \eta \cos \theta d) c = 2\delta + \lambda_g \left[1 - \frac{1}{\pi} \tan^{-1} H \right]$$

$$H = \sin \theta d \times \frac{W - \delta}{W(1 - \eta \cos \theta d) - \delta} \times$$

$$\frac{\sin \frac{\beta}{2} (b - \delta) - \frac{\delta}{W(1 - \eta \cos \theta d)} \sin \frac{\beta}{2} (b + W - \eta W \cos \theta d - 2\delta)}{\sin \frac{\beta}{2} (b - \delta) - \frac{\delta}{W} \sin \frac{\beta}{2} (b - W)}$$

$$\lambda_g = \eta C_0 / f_d$$

$$\beta = 2\pi / \lambda_g$$

但し、

$$a'' = \frac{2\delta + \eta \frac{C_0}{f_d} \left[1 - \frac{1}{\pi} \tan^{-1} H \right] - b''}{1 - \eta \cos \theta d} + 2k$$

となる。

ところで、上述の計算に使用するアンテナ設計データのうち、波長短縮率 η および周波数補正係数 δ は構成部材の材料によって値が異なるので、アンテナを設計する場合には、これらのアンテナ設計データを測定により求めなければならない。下記第 1 表は、誘電体基板として $\epsilon_r \leq 2.4$ 、 $\tan \delta < 0.001$ のものを用い、マイクロストリップラインの線幅 W の異なる直線状のものを準備し、TRD 法によりサンプルをカットバックして波長短縮率を測定した結果を示している。但し、接地導体 3 の厚さは $2 \mu\text{m}$ 、誘電体基板 1 の厚さは 1 mm 、マイクロストリップライン 2 の厚さは $3.5 \mu\text{m}$ 、保護膜 4 の厚さは $100 \mu\text{m}$ である。

第 1 表

W	1.5	2.0	2.5	3.0	3.5	4.0
η	0.698	0.695	0.693	0.691	0.686	0.682

また、下記第 2 表は、測定サンプルとして線幅

η … 波長短縮率 θd … 設計主放射方向
 λ_g … 線路波長 β … 直線部の位相定数
 δ … 補正係 (周波数調整)

f_d … 設計周波数

また、電気的パターン寸法 a', b', c' およびパターン実寸法 a'', b'', c'' は、周波数補正係、軸比補正係を δ, k とすれば以下のようにになる。

$$a' = a'' - \delta / 2$$

$$b' = b'' - \delta$$

$$c' = c'' - \delta$$

$$a'' = a - k$$

$$b'' = b$$

$$c'' = c + 2k$$

上記各計算式からパターン実寸法 a'', b'', c'' を求めると、

$$b'' = b' + \delta$$

$$a'' = \frac{2\delta + \eta \frac{C_0}{f_d} \left[1 + \frac{1}{\pi} \tan^{-1} H \right] - b''}{2(1 - \eta \cos \theta d)} - k$$

W、カット率Mの異なる1列のアレイアンテナを準備($b' = 7 \lambda_g / 16$, $k = 0$ [mm], $\delta = 1$ [mm])

し、このサンプルの主放射方向 θd を示す中心周波数 f_m を精度の良い指向特性測定装置によって求め、次式によって δ を計算したものである。

$$(2a'' + 2b'' + c'') - 7(2a'' + c'') \cos \theta d = 4\delta + 2\pi C_0 / f_m$$

第2表

W[mm]	δ [mm]
1.5	$0.009M + 0.169$
2.0	$0.008M + 0.408$
2.5	$0.0125M + 0.28$
3.0	$0.0193M + 0.05$
3.5	$0.0258M + 0.145$

但し、 $M = 50 \sim 60$

上述のようにして計算されたパターン突寸法 a'' , b'' , c'' の平面アンテナサンプルの反射損失RLをネットワークアナライザで測定し、反射損失RLが -15 dB以下になる(W, b' , k , M)の組み合わせを求めると、下記の第3表および第4表のよう

設定できるようにしたものであり、クランク部の線幅をW[mm]、マイクロストリップラインの長手方向に直交する方向の突出寸法をb[mm]とし、クランク部のコーナのカット率M[%]が

$$M = (73 - 0.78 \times b - 4.77 \times W) \pm 3$$

となるようにマイクロストリップラインの形状寸法を設定しているの、コーナカット部分における反射損失をより少なくしてアンテナ利得および軸比が良好な平面アンテナを提供できるという効果がある。

4. 図面の簡単な説明

第1図は本発明に係る平面アンテナの斜視図、第2図は同上の要部断面図、第3図は同上の動作説明図、第4図乃至第6図は同上の要部正面図である。

1は誘電体基板、2はマイクロストリップライン、2aはクランク部、3は接地導体である。

代理人 井理士 石田 長七

になる。

第3表

W[mm]	1.5	2.0	2.5	3.0	3.5
$b'(\times \lambda_g)$	7.12/16, 6.11/16	7.14/16, 6.15/16	7.13/16, 6.17/16	7.13/16, 6.14/16	7.11/16, 6.15/16
k[mm]	-100~-210	-115~-235	-100~-260	-180~-330	-225~-370
M[%]	62 60	56 57	54 55	51 53	50 50

第4表

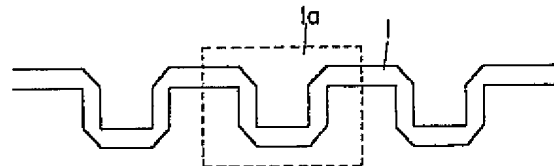
W[mm]	2.0				
$b'(\times \lambda_g)$	5.8/16	6.4/16	6.6/16	6.0~6.9/16	0.4
k[mm]	0	.305	.530	.305	.15~.6
M[%]	52~54	54	58~60	54	54

以上のようにして求められたデータと、重回帰分析手法を用いてカット率Mを b , Wの関数として数式化すると、(1)式が得られることになる。

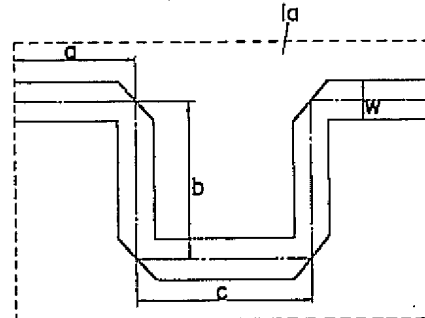
【発明の効果】

本発明は上述のように構成されており、クランク型マイクロストリップラインを用いた平面アンテナにおいて、クランク部のコーナ部分での反射損失が少なくなるようなカット率を実験結果および重回帰分析によって求めた設計式により容易に

第4図



第5図

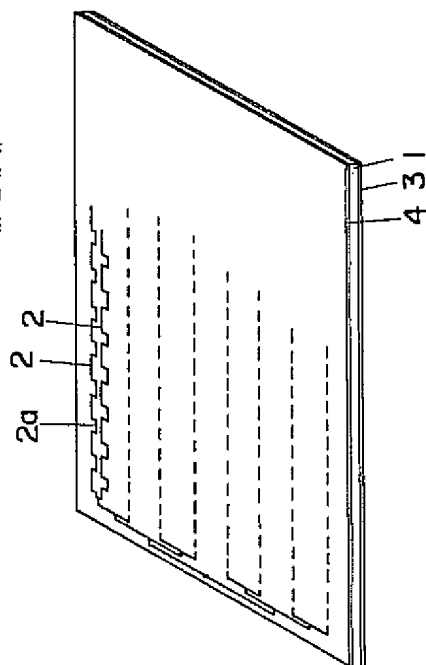


第6図

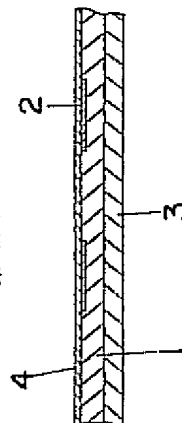


- 1 ... 誘電体基板
2 ... マイクロストリップライン
2a ... クランク部
3 ... 接地導体

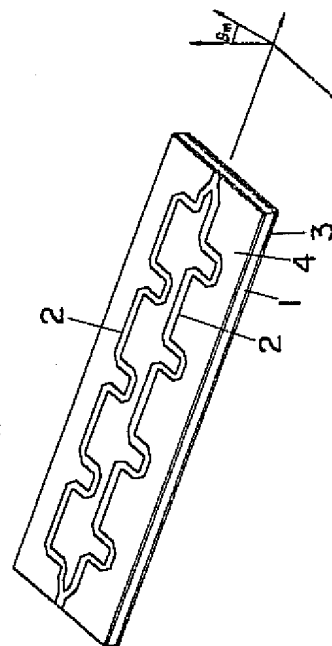
第1図



第2図



第3図



MICRO-OPTO-ELECTRO-MECHANICAL LASER SCANNER

Patent number: JP2002250886
Publication date: 2002-09-06
Inventor: SUN DECAI, ROSA MICHEL A, YEH CHINGWEN
Applicant: XEROX CORP.
Classification:
 - International: B81B3/00, G02B26/08, G02B26/10, G06K7/10, B81B3/00, G02B26/08, G02B26/10, G06K7/10, (IPC17) G02B26/10, B81B3/00
 - European: B81B3/00M2D, G02B26/08M4E, G02B26/10G, G06K7/10S2P2D2B, G06K7/10S2P4D
Application number: JP20010389543, 2001-1204
Priority number(s): US2000073-339, 2000-1206

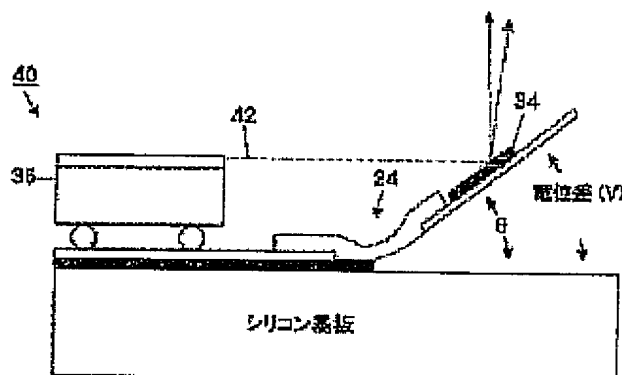
Also published as:

EP1225469 (A2)
 US6592093 (B2)
 US2002067533 (A1)
 EP1225469 (A3)
 EP1225469 (B1)

Report a data error here

Abstract of JP2002250886

PROBLEM TO BE SOLVED: To provide a scanner system which is inexpensively manufactured, mechanically sturdy, compact, and has an improved resolution. **SOLUTION:** The micro-opto-electro-mechanical laser scanner 40 is composed of a silicone substrate layer, a laser of embedded oxide layer, and an insulating body silicone substrate having a single silicon device layer. A first device layer part has a micro mirror 34 which is made of the device layer. A laser unit is connected with a second device layer part and a hinge 24 connects the first device layer part and the second device layer part. The hinge 24 is formed by a bimorph material and the bimorph material creates a specific stress in the hinge 24. The bimorph type hinge 24 moves the released micro mirror 34 from a horizontal plane to a position in which a laser beam 42 emitted from the laser unit is directly or indirectly reflected.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-250886
(P2002-250886A)

(43) 公開日 平成14年9月6日(2002.9.6)

(51) Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
G 0 2 B 26/10	1 0 1	C 0 2 B 26/10	1 0 1 2 H 0 4 J
B 8 1 B 3/00		B 8 1 B 3/00	

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21) 出願番号 特願2001-369543(P2001-369543)
(22) 出願日 平成13年12月4日(2001.12.4)
(31) 優先権主張番号 0 9 / 7 3 1, 3 3 9
(32) 優先日 平成12年12月6日(2000.12.6)
(33) 優先権主張国 米国 (U S)

(71) 出願人 590000798
ゼロックス・コーポレーション
アメリカ合衆国、コネチカット州、スタン
フォード、ロング・リッジ・ロード 800
(72) 発明者 デカイ サン
アメリカ合衆国 カリフォルニア州 ロス
アルトス サンライズ コート 1300
(72) 発明者 マイケル エー ローザ
アメリカ合衆国 カリフォルニア州 サン
ノゼ エラン ビレッジ レーン 360
アパートメント #209
(74) 代理人 100076258
弁理士 吉田 研二 (外2名)

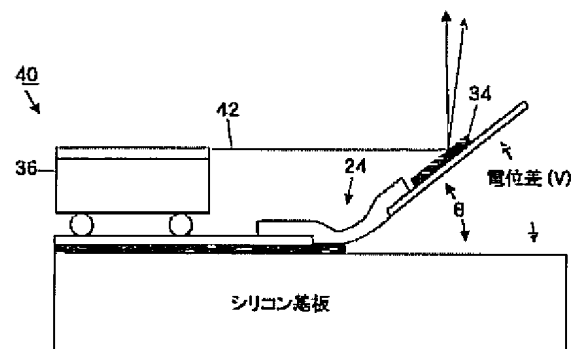
最終頁に続く

(54) 【発明の名称】 マイクロ光電気機械式レーザスキャナ

(57) 【要約】 (修正有)

【課題】 製造が複雑でなく機械的な動作が頑丈であると同時に、寸法がコンパクトで、安価、また分解能が向上したスキャナシステムを提供する。

【解決手段】 マイクロ光電気機械式レーザスキャナ40は、シリコン基板層、埋込み酸化物の層、及び単結晶シリコンデバイス層を有する絶縁体シリコン基板から構成される。第1のデバイス層部分は、そこから製造されたマイクロミラー34を有する。レーザが第2のデバイス層部分に接続され、ヒンジ24がこの第1のデバイス層部分と第2のデバイス層部分とを接続する。このヒンジ24はバイモルフ材料で形成され、このバイモルフ材料はヒンジ内24で固有の応力を作り出す。バイモルフ型ヒンジ24は、解放されたマイクロミラー34を水平面から、レーザから放射されたレーザ光42を直接又は間接に反射する位置に移動する。



【特許請求の範囲】

【請求項1】 シリコン基板層と、埋込み酸化物の層と、及び単結晶シリコンデバイス層とを有する絶縁体シリコン基板と、

前記単結晶シリコンデバイス層の第1のデバイス層部分と、

前記第1のデバイス層部分に形成されたマイクロミラーと、

前記単結晶シリコンデバイス層の第2のデバイス層部分と、

前記第2のデバイス層部分に取り付けられたレーザと、

前記単結晶シリコンデバイス層の前記第1のデバイス層部分と前記第2のデバイス層部分とを結合するヒンジと、

前記ヒンジの少なくとも一部に蒸着され、前記マイクロミラー及び前記ヒンジの少なくとも一部を前記埋込み酸化物の層から解放すると共に該解放されたマイクロミラーを水平位置から移動させる固有応力を有するバイモルフ材料の層と、を備えることを特徴とするマイクロ光電気機械式レーザスキャナ。

【請求項2】 請求項1に記載のマイクロ光電気機械式レーザスキャナであって、

前記ヒンジの長さを l 、前記バイモルフ材料の応力差を $\Delta\sigma$ 、前記ヒンジ層の厚さを h 、前記バイモルフ材料の平均弾性率を Y' としたとき、前記ヒンジのリフト高さ b は、 $b \sim l^2 \Delta\sigma / 2hY'$ の式で表されることを特徴とするマイクロ光電気機械式レーザスキャナ。

【請求項3】 シリコン基板層と、埋込み酸化物の層と、単結晶シリコンデバイス層とを有する絶縁体シリコン基板と、

前記埋込み酸化物の層から解放された前記単結晶シリコンデバイス層の一部に形成された第1のマイクロミラーと、

前記第1のマイクロミラーを前記絶縁体シリコン基板に結合する第1のヒンジと、

前記第1のヒンジの少なくとも一部に蒸着され、前記解放されたマイクロミラーを水平位置から移動させる固有応力を有する、第1のバイモルフ材料の層と、

前記埋込み酸化物の層から解放された前記単結晶シリコンデバイス層の一部に形成された第2のマイクロミラーと、

前記第2のマイクロミラーを前記絶縁体シリコン基板に接合する第2のヒンジと、

前記第2のヒンジの少なくとも一部に蒸着され、前記解放されたマイクロミラーを水平位置から移動させる固有応力を有する第2のバイモルフ材料の層と、

前記絶縁体シリコン基板の前記シリコン基板層の底面に接着された支持基板と、

前記支持基板の表面であって、放射されるレーザビーム

が前記第1のマイクロミラーから反射可能な位置に集積されたレーザと、を備えることを特徴とするマイクロ光電気機械式レーザスキャナ。

【発明の詳細な説明】

【発明の属する技術分野】本発明は、マイクロ光電気機械式レーザスキャナに関する。

【0001】

【従来の技術】レーザベースのスキャナの用途には、バーコードスキニング、網膜スキニング、及び電子写真プリンティングのような重要な用途がある。集積されたマイクロ光電気機械(MOEMS)式レーザスキャナは、寸法がコンパクトで安価であるため、これらの用途や他の用途に対して有用である。例えば、電子写真プリンティングで使用する場合、集積されたMOEMSベースのレーザスキャナは、従来のレーザ式ポリゴンROSシステムよりも高いスキャン分解能を得るためにレーザプリンティングで使用される機械的なラスタ光学スキニング(ROS)システムを構築するには魅力的な選択肢である。

【0002】

【発明が解決しようとする課題】集積されたMOEMS式スキャナでは、ポリゴンの揺れにより引き起こされたスキャンライン内の反りなどのエラーを補正するために、低いスキャン方向のレーザビームの位置を調整するだけでなく、レーザスポットをサブピクセルの分解能で正確に配置することが可能である。しかしながら、集積されたMOEMSベースのレーザシステムを製造するには、複雑なマイクロ製造技術が必要である。

【0003】このため、製造が複雑でなく機械的な動作が頑丈であると同時に、寸法がコンパクトで、安価、また分解能が向上した集積されたMOEMSベースのスキャナシステムを構成することは有益である。

【0004】

【課題を解決するための手段】マイクロ光学電気機械式レーザスキャナは、シリコン基板層、埋込み酸化物の層、及び単結晶シリコンデバイス層を有する絶縁体シリコン基板から構成される。第1のデバイス層部分は、そこに形成されたマイクロミラーを有する。レーザが第2のデバイス層部分に接続され、ヒンジがこの第1のデバイス層部分と第2のデバイス層部分とを結合する。このヒンジはバイモルフ材料で形成され、このバイモルフ材料はヒンジ内で固有応力を作り出す。バイモルフヒンジは、解放されたマイクロミラーを水平面から、レーザから放射されたレーザ光を直接又は間接に反射する位置まで移動させる。

【0005】

【発明の実施の形態】図1を参照すると、本発明の第1の実施形態に基づいて処理される、絶縁体シリコン(SOI)基板のウェーファ10が示されている。ウェーファ10にはシリコン基板12、埋込み酸化物の層14、

及び単結晶シリコンデバイスの層16が含まれる。以下に、本発明による集積されたMOEMS層のスキーマアセンブリを製造するために使用する処理ステップを記述するが、多数の様々なリソグラフィ処理を本発明の中で使用することができることは理解されよう。

【0006】図2に示すように、最初のステップによりデバイス層16がパターン化及びエッチングされて、デバイス層の材料を除くことにより第1のデバイス層部分18及び第2のデバイス層部分20が形成され、これにより、トレンチ22が形成される。このトレンチ22では、デバイス層16の材料は、埋込み酸化物の層14に達するまで除かれる。別の実施形態では、トレンチ22はシリコン基板12まで下に拡張される。

【0007】図3では、ヒンジ体26をトレンチ24内に形成することによって、ヒンジ素子24が作られる。ヒンジ体26には、それぞれ第1のデバイス層部分18及び第2のデバイス層部分20上に配置されたフィンガ部28、30が含まれる。このように、ヒンジ素子24を蒸着することにより、第1のデバイス層部分18及び第2のデバイス層部分20が、ヒンジ体26を介して接続すなわち一体化される。また図3に示すように、バイモルフ材料32がヒンジ体26の上に蒸着される。このバイモルフ材料32は、圧縮応力及び引張応力の組合わせを利用する単一の層又は複数の層から構成され、結果として、ヒンジ24全体にわたって応力のこう配が生じる。バイモルフ材料は、1つの実施形態では、リフトオフ技術の使用により蒸着することができる。

【0008】単一のバイモルフ層は、圧縮及び引張応力のこう配を有するスパッタ処理されたMo-Crのような金属層とすることができ、また複数の層は、底側が圧縮応力を加えたポリ-Si及び上側が引張歪みを加えた金属から構成することができる。例えば、ヒンジ体26は、圧縮応力を加えたポリ-Siから構成することができる。ヒンジ24には、デバイス層部分18、20の少なくとも1つが動くことによりトルク力がヒンジ上に加わるときに、第1のデバイス層部分18と第2のデバイス層部分20との間の接続を維持するに十分な機械的強度がある。ヒンジ24は、ヒンジ体26も含めて、全体的にバイモルフ材料32から作ることができることも理解されよう。

【0009】バイモルフ材料32が、第1のデバイス層部分18及び第2のデバイス層部分20を引き上げるように動作する圧縮及び引張応力を発生する間、これらのデバイス層部分が埋込み酸化物の層14にくっ付いているため、これらの部分はプレーナ位置に保たれる。

【0010】図4に移る。別の製造ステップにより、マイクロミラー34が周知のリソグラフィ技術により第1のデバイス層部分18上に蒸着される。次に、エッジ放射レーザのようなレーザチップ又はアセンブリ36

が、はんだボール38及び40を用いるフリップチップ技術により、第2のデバイス層部分20の上面に取り付けられる。しかしながら、他の接続技術も使用可能であることは理解されよう。使用する接続技術は、レーザチップのマイクロ位置決めを可能にする必要がある。

【0011】図5に目を向けると、集積されたMOEMS式レーザスキャナ40が示されている。この集積されたMOEMS式レーザスキャナ40では、第1のデバイス層部分18上に載せられたマイクロミラー34及びヒンジ素子24の一部が、埋込み酸化物の層14から解放されている。特に、この実施形態では、第1のデバイス層18及びヒンジ24の一部の下に埋込み酸化物の層14が周知のエッチングプロセスにより除かれて、ヒンジ24内の張力により第1のデバイス層部分18がデバイス層の面の外に移動される。引張応力が、ミラー34をデバイス層16の表面に対して45°の角度に引き上げる応力こう配を結果として発生する。

【0012】この構成により、レーザビーム42がエッジ放射レーザチップ36から放射されると、このレーザビームは基板面に対して直角に反射される。この表面に直角な放射により、このシステムをTOカンパッケージの中に容易にパッケージすることができる。このバイモルフ効果を組み入れているアセンブリは、MOEMSベースの光学スイッチ及びマイクロ機械的なスプリング接点を作る上で有用である。フリップチップ取付け位置決めプロセスにより、レーザ36をミラー34に対してデバイス層16上に正確に配置することができる。

【0013】マイクロミラー34を第1のデバイス層部分18の上面から離れたデバイスとして図示しているが、マイクロミラー34は、実際に、第1のデバイス層部分18の研磨した上面とすることができることは理解されよう。

【0014】図6に目を向けると、図5の集積されたMOEMS式レーザスキャナ40の平面図が示されている。図5及び図6を見て、マイクロミラー34が埋込み酸化物の層14から離れると、ヒンジ24内の所定の張力がミラーを位置決め及び保持する角度を決定するという受動的な構造体として、マイクロミラー34が設計されていることに注意されたい。あるいは、バイモルフ材料が金属の物体である場合、DC電源などの電源装置44を用いて、マイクロミラー34を静電的にスキャンすることができる。この電源装置44は、ヒンジ24の一部及びSOI基板10に対してバイアス電圧を提供する。バイアス電圧をコントロールすることによって、マイクロミラー34の角度位置をその面内位置(0°)から面外の45°までコントロールすることが可能である。また、マイクロミラー及びレーザを駆動する電源44及び高品質で低ノイズの電子回路46を製造することによって、シリコンのデバイス層16の残りの区域に、光電子及びマイクロ電気機械デバイスの完全な集

積化が実現される。

【0015】マイクロミラーの共振周波数は、ヒンジの剛性及びミラーの重量に依存する。ミラーの共振周波数は、このため設定可能であり、数10 kHzに設計することができる。

【0016】図7に示すように、スキヤニング用マイクロミラー34を基板面に対して45°の角度に引き上げるためには、バイモルフのヒンジ24とSOI基板10との間の角度は約22.5°でなければならない。ヒンジのリフト高さ又はカール高さ(b)は、次のように表すことができる。

$$【0017】b \sim L^2 \Delta\sigma / 2hY'$$

ここで、Lはヒンジの長さ、 $\Delta\sigma$ はバイモルフ材料の応力差、hはヒンジ層の厚さ、またY'はバイモルフ材料の平均弾性率である。

【0018】Lの長さを200 μ mとすると、結果としてリフト高さは82 μ mとなる。バイモルフ層の厚さが1 μ mの場合、層を22.5°に巻き上げるための、バイモルフ材料内の応力差は2.4 GPaとなる。この応力差は、スパッタ処理したMo-Crを使用して実現することができる。

【0019】上記の式で示すように、バイモルフ層の長さを増加すると、湾曲部を22.5°に巻き上げるために必要な応力差が減少する。しかしながら、マイクロミラーの高さが基板面に対して増加するため、レーザチップの厚さに制約があるので、マイクロミラーの中心をレーザビームに水平に整列させることが一層困難になる。1つの実施形態では、例えば、レーザのアセンブリー又はダイの厚さは、約120 μ mである。はんだパンパの高さを約40 μ mと仮定すると、レーザの活性領域は基板面上で160 μ mである。

【0020】図8に示すように、エッジ放射レーザの端面50は、カールしたヒンジ24のスターティングライン52と整列している。レーザの発散角が、半値全幅(FWHM)において、縦方向に35°で横方向に8%と仮定すると、ヒンジの最大エラー寸法は、レーザビームを完全に捕らえるために、長さが200 μ mで幅が150 μ mとなる。

【0021】前述したように、バイモルフ材料及びSOI基板10に加わるバイアスされた電圧により、ミラーのスキヤンを静電的に実現することができる。機敏なラスタ光学スキヤニング(ROS)システムとしての用途に対して、必要なスキヤン角度は数度の程度である。このため、本願のシステムはこの構想に有用である。ミラーのアレスキヤン角度は、DCバイアス電圧により調整することができることに注意されたい。

【0022】また前述したように、マイクロミラーは絶縁体シリコンの基板のデバイス層の中に製造することができるため、ミラーは単結晶のシリコンから作ることができる。このため、高品質の、光学的に平坦でかつ研磨された面を製造することができる。

【0023】ミラーは、第1の実施形態では、第1のデバイス層部分及びヒンジの一部の下側にある埋込み酸化物の層(SiO₂)14をエッチングで除くことにより解放される。しかしながら、第2の実施形態では、基板12の背面からウィンドウを開くことによって、シリコン基板12及び埋込み酸化物の層14をエッチングで除去して、ミラーを離すことができる。この第2のミラーを解放する実施形態では、ミラーを動かすために必要な解放時間を減らすことができる。

【0024】本発明の第2の実施形態は、図1に関連して説明したようなSOIウェーファを用いて実現することができる。図9に示すような第1のステップでは、パターンニング及びエッチング処理により、デバイス層16からミラー60が形成される。次に、図10に注目すると、エッチング処理が使用されて、リボン形ヒンジ構造体62が構成される。このリボン形ヒンジ構造体62の処理により、ミラー60を保持する第1のデバイス層部分64及び第2のデバイス層部分66が定義される。両方の部分は、リボン形ヒンジ62に一体化されている。リボン62を薄くすると、機械的な安定性を十分に維持しながら、マイクロミラー60の動きに対して柔軟性に富んだ構造が提供される。

【0025】このため、リボン形ヒンジ62が、機械的な柔軟性を向上できるように薄くされたデバイス層16から形成される。この設計により、その意図された目的に対して十分な強度を有する高品質の機械的構造体を作られる。この実施形態では、リボン形ヒンジすなわち構造体64の厚さは約500 nm、幅は約50 μ m、また長さは約140 μ mである。

【0026】より詳しくは、リボン形ヒンジ62は、2マスクプロセスを用いて形成される。薄くすべき領域は、初めに、リソグラフィで露光され、周りの領域は、湿式エッチングが露光されたシリコン領域の厚さを約500 nm又は他の適当な深さに減少させる時間までプロテクトされる。次に、その後のリソグラフィのステップを使用して、ヒンジをパターン化する。その結果、リボン形ヒンジと第1及び第2のデバイス層部分64、66との間の主な差は、パターンニングの形状及びこれらの領域の物理的な厚さである。

【0027】図10から分かるように、リボン形ヒンジ62は、第1及び第2のデバイス層部分64、66に完全に一体化されている。デバイス層の厚さにおけるこの差は、トレンチ領域68を定義する。このトレンチ領域68を使用して、ミラー60がいったん埋込み酸化物の層14から離れたとき、ミラー60を動けるようにする応力の張力を取り入れることが好ましい。

【0028】図11は、トレンチ領域68の中に蒸着されたバイモルフ材料70を示すことによって、この構想をより明確に説明している。このバイモルフ材料70は、リボン形ヒンジ62の上に直接蒸着されている。前

述した実施形態と同様に、バイモルフ材料は、圧縮及び引張応力のこう配を有するスパッタ処理されたMo-Crのような単一の金属層又は底側に圧縮応力を加えたポリ-Si及び上側に引張歪みを加えた金属から構成する複数の層のいずれかとすることができる。バイモルフ材料70を蒸着した後、湿式エッチング法又は他の周知の方法などのエッチング処理を使用して、ミラー60の下側及びリボン形ヒンジ62の一部の下側から埋込み酸化物の層14を取り除く。別の実施形態では、基板12の後側からウィンドウ76を開けて、第1のデバイス層64及びリボン形ヒンジ62の一部の下側のシリコン基板の層12及び埋込み酸化物の層14をエッチングで取り除くことによって、ミラー及びリボン形ヒンジの一部を解放することができる。

【0029】いったん解放されると、図12に示すように、ミラーは第1の実施形態に関連されて説明したパラメータに基づいて決定される高さまで上がる。ミラーが解放された後に、図13に示すように、レーザチップ又はアセンブリー78が、はんだボール80及び82を使用するフリップチップボンディング技術又は他の周知の取付け技術によって、第2のデバイス層部分66上に集積される。

【0030】第1の実施形態及び第2の実施形態の中で説明された処理は、多少異なるステップに従っていることに注意されたい。例えば、第1の実施形態では、レーザはミラーが解放される前に取り付けられる。このことは、本願で開示されたスキャニングデバイスの構成に対して別の構成が可能であることを示す意図がある。従って、両方の実施形態の構成の正確な順序はこれらの実施形態の中で示されるものから変えることができると共に、これらの実施形態は例示的な処理技術としてのみ記述されるものであり、これらの技術に対する本発明の構想を制限するものではないことは理解されよう。

【0031】図14に目を向けると、集積されたMOEMS式レーザスキャナ90についての別の設計が示されている。このデバイスを構成するエッチング技術及びリソグラフィ処理は、当業者が理解する範囲内にあり、始めの2つの実施形態に関連して示したような、同様の周知の製造技術を採用する。

【0032】本発明は、また、シリコン基板層94、埋込み酸化物の層96及びデバイス層98を有する絶縁体シリコン(SOI)ウェーファの基板92を使用する。さらに、支持基板100も使用していて、この支持基板はシリコン、金属又は他の適当な材料とすることができる。この支持基板100は、陽極ボンディング又は冶金ボンディング技術によって、SOI基板92に接合することができる。図14についての別の実施形態では、追加の基板100を使用する代わりに、シリコン基板12を、図14におけるような完全なエッチングではなく、部分的にエッチングする。この実施形態では、支

持基板100は必要としない。

【0033】図14に示した構成では、第1のミラー102がヒンジ104に取り付けられ、このヒンジ104が今度はデバイス層部分106に部分的に固定される。埋込み酸化物の層96及びシリコン基板94が除かれて、下方の位置を向いているミラー102がその始めの面内位置から所定の角度だけ離れた角度に向けられる。第2のミラー108も、ヒンジ110を介してデバイス層部分112に結合されている。この第2のミラー108は、埋込み酸化物の層96から離れる場合、上方に向くように設計される。ミラーの角度は、バイモルフ材料内の応力の程度のようなパラメータによって決定される。このバイモルフ材料は、前述した実施形態の中で説明したように、スプリング110内に組み込まれるか、又はその上に蒸着される。ヒンジ104、110は、前述した実施形態の中で説明したように設計することができる。

【0034】垂直共振器型面発光レーザ(VCSEL)114がフリップチップボンディング又は他の結合技術を用いて、支持基板100に結合される。動作にあつては、VCSEL114から放射されたレーザビーム116はミラー102に入射し、このミラー102はレーザビームをミラー108に向ける。ミラー102は、一度設定位置にセットされるとその位置を維持するような固定の受動ミラーとすることができ、ミラー108にはスキャンする能力がある。この能力は、ヒンジ110及び基板90に対してバイアス電圧を発生する電源118により実現される。変化する電圧を(例えば、コントローラ119により)印加することにより、ヒンジ110の動きは、面内位置からバイモルフ材料の応力により決定される最大面外位置の範囲内でコントロール可能である。

【0035】バイアス電圧をミラー102に与えて、このミラーをスキャニング又は動かすことも可能である。VCSELを使用する利点は、ビームの発散が小さいこと及びビームのプロフィールが円形なことである。

【0036】図15に目を向けると、別のレーザスキャナ120の設計が示されている。この設計では、図14のリフトアップ式ミラー102及び108に加えて、ビームのスキャニング用に使用する面内ねじりヒンジ式ミラー122も設けてある。このねじりヒンジ式ミラー122は、外部の磁界(図示せず)と相互作用する磁界を発生する、ミラー122上の電流コイル124により磁氣的に駆動される。金属又は電流コイル122はねじりヒンジ式ミラー122の面上に置かれて、(ミラーに平行なフィールド方向を有する)外部の磁界と相互作用するオンボードの磁界を発生する別の実施形態では、ねじりヒンジ式ミラーは、ミラーの下側のレーザ支持基板100上に蒸着された2個の電極により、静電的に付勢される。電極プレート126は電気めっきにより付着形

成され、プレートの厚さを数100マイクロメートルにして、ミラーと電極との間のギャップをより小さくする。

【0037】それぞれの実施形態は、図5、図6及び図14に関連して開示されたような集積された電極を有することができることに注意されたい。

【0038】本発明を好ましい実施形態に関連して説明したが、本発明を他の構成及び設計の中で実行することができることは当業者には明白である。そのような別の実施形態は、本発明の精神及び範囲から逸脱することはない。

【図面の簡単な説明】

【図1】 本発明で使用する絶縁体シリコン形ウェーファの側面図である。

【図2】 単結晶シリコンデバイス層の第1の部分及び第2の部分と有するようにエッチングされた、図1のSOI形基板又はウェーファを示す図である。

【図3】 本発明によるバイモルフ材料で形成されたヒンジを示す図である。

【図4】 デバイス層の第1及び第2の部分に取り付けたマイクロミラー及びエッジ放射レーザを示す図である。

【図5】 本発明の教示による集積されたMOEMS式レーザスキャナを示す図である。

【図6】 図5のレーザスキャナの平面図である。

【図7】 約45°の角度にマイクロミラーを上げるための角度及びパラメータを示す図である。

【図8】 ミラーの寸法とこのミラーからのレーザの距離との間の関係を示す図である。

【図9】 本発明の第2の実施形態で使用するSOI形ウェーファを示す図である。

【図10】 デバイス層上の第1の部分と第2の部分との間の、本発明のヒンジ素子として使用されるリボン形ヒンジ構造のエッチングを示す図である。

【図11】 図10のリボン形ヒンジ上のバイモルフ材料の蒸着を示す図である。

【図12】 デバイス層の部分にマイクロミラー及びエッジレーザを取り付けた図である。

【図13】 第2の実施形態による集積されたMOEMS式レーザスキャナを示す図である。

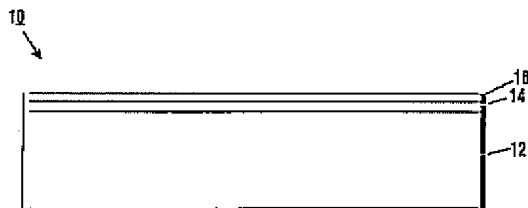
【図14】 本発明の構想を実行する複式ミラースキャニングシステムの、第1の実施形態を示す図である。

【図15】 本発明の構想を使用する複式ミラースキャニング構成の、第2の実施形態を示す図である。

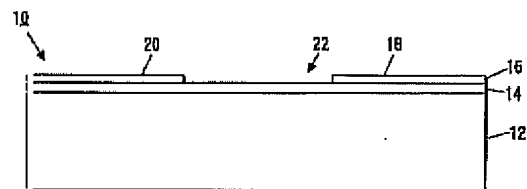
【符号の説明】

14 埋込み酸化物の層、16 デバイス層、24 ヒンジ、34 マイクロミラー、36 レーザ、40 レーザスキャナ、42 レーザビーム。

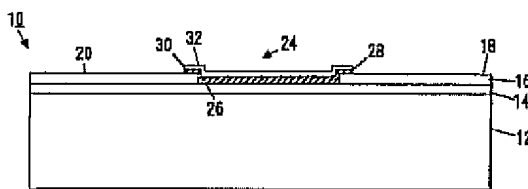
【図1】



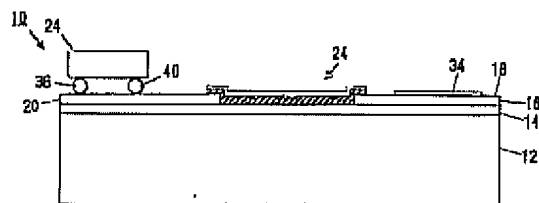
【図2】



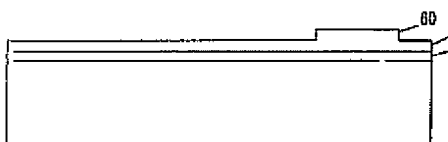
【図3】



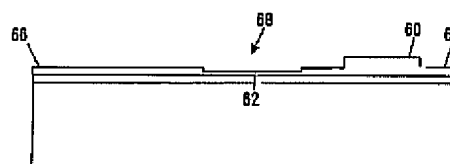
【図4】



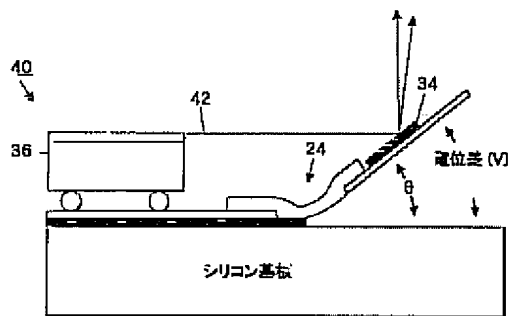
【図9】



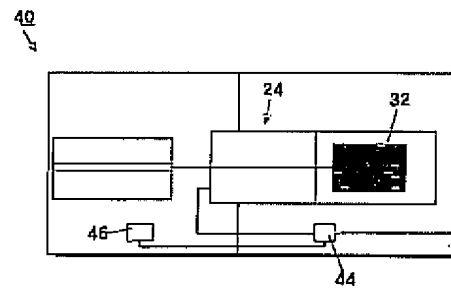
【図10】



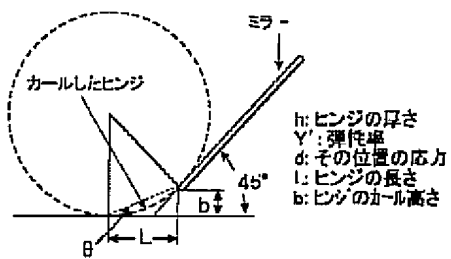
【図5】



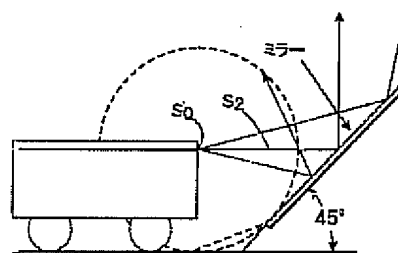
【図6】



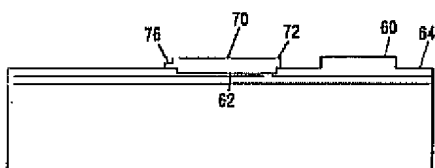
【図7】



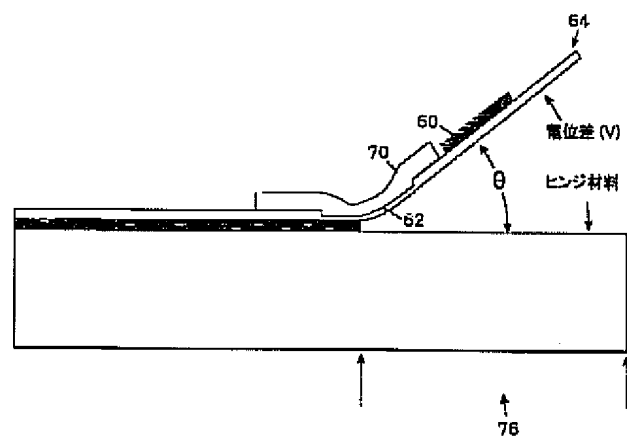
【図8】



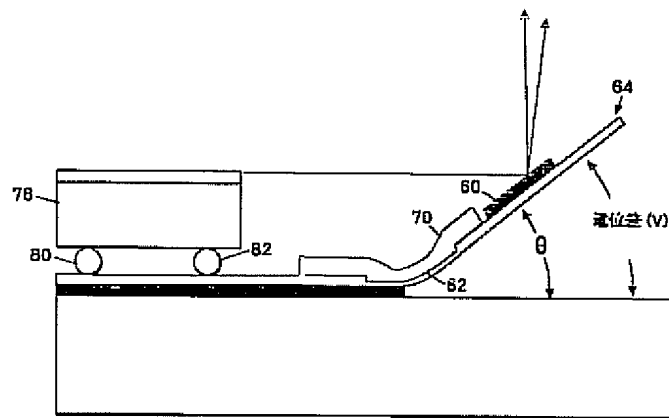
【図11】



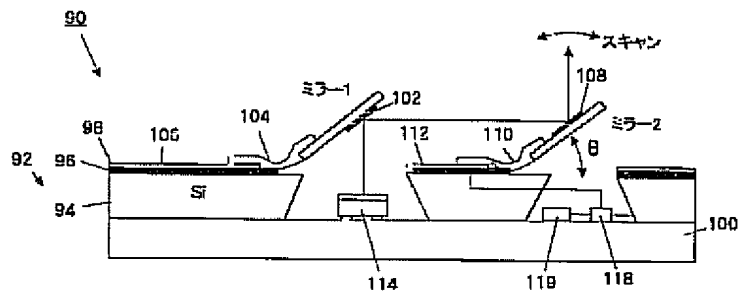
【図12】



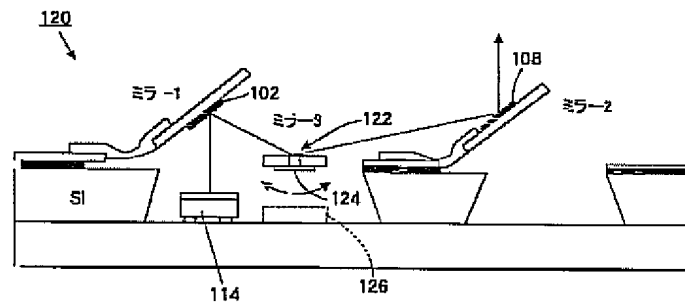
【図13】



【図14】



【図15】



フロントページの続き

(72)発明者 チンウェン ヤー
アメリカ合衆国 カリフォルニア州 クバ
ーチノ エコー ヒル コート 7645

Fターム(参考) 2H045 AB73 AB81 BA18